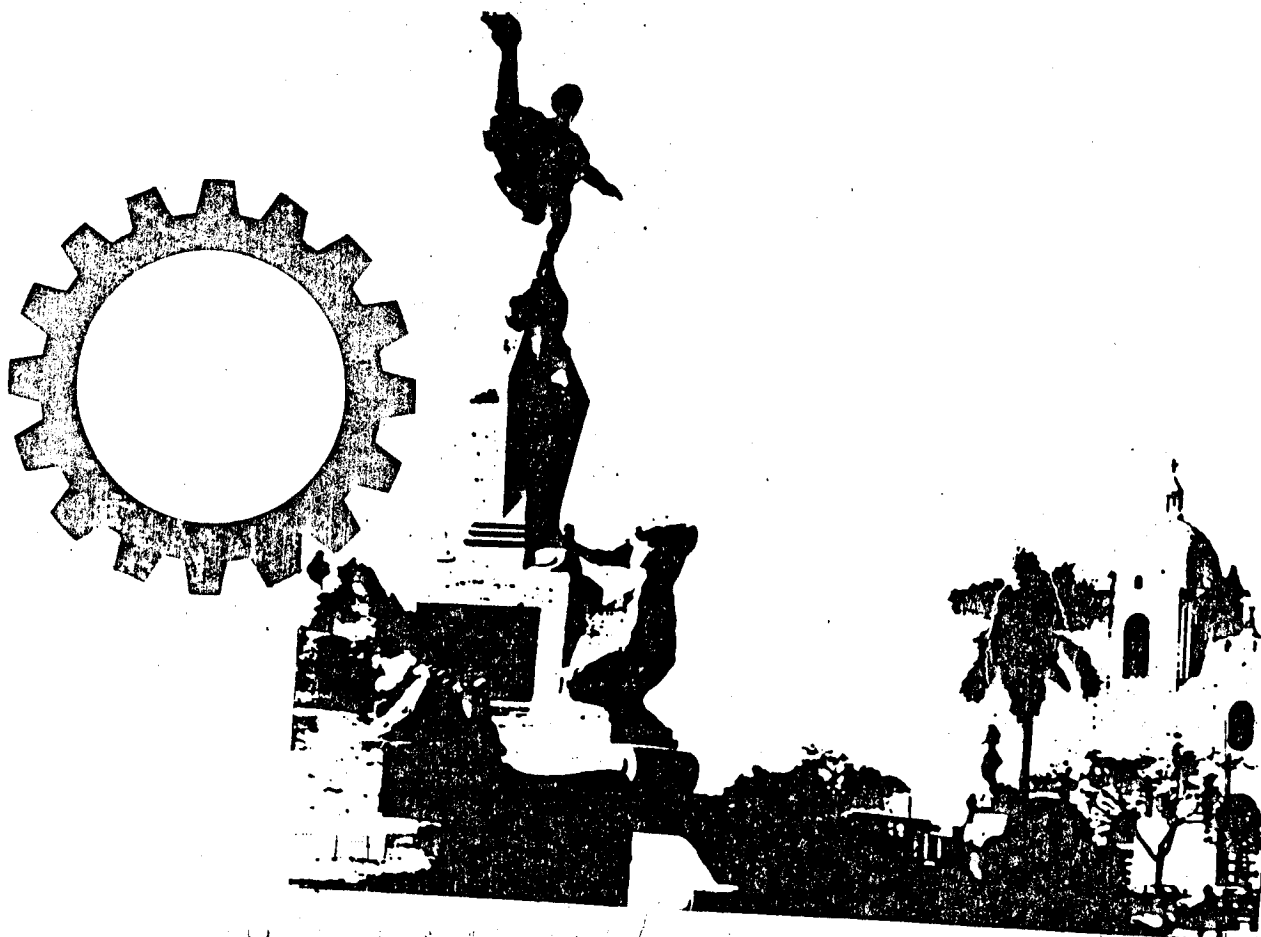


electro técnica

Órgano de la
ASOCIACION
ELECTROTECNICA
PERUANA



III CONGRESO NACIONAL DE INGENIERIA
MECANICA, ELECTRICA Y RAMAS AFINES

Interfase para Acoplar un Sistema de Conversión Analógico / Digital a una Computadora

DATA CRAFT 6024

Ing. Alberto Guillén C.
Dr. Ronald Woodman
Radio Observatorio de Jicamarca
Instituto Geofísico del Perú

A B S T R A C T O

Muchos procesos para su estudio óptimo por medio de computadoras requieren de diferentes sistemas de transducción.

El presente trabajo describe el diseño de un sistema digital para acoplar un sistema de multiplex y de conversión analógica/digital a una computadora, permitiendo el procesamiento simultáneo de hasta 8 señales y con velocidades de hasta 500 mil muestras por segundo. El diseño se ha aplicado al sistema de computación del Ra-

dio Observatorio de Jicamarca, uno de los observatorios del Instituto Geofísico del Perú. Este sistema permitirá el procesamiento de señales analógicas producto de diferentes proyectos de investigación científica tales como física ionosférica, sismología, infrasonido, cintilaciones, oceanografía, etc. El sistema diseñado podría adecuarse para el acoplamiento de otros sistemas de conversión analógica a otras computadoras involucradas en proyectos de investigación científica.

I.—INTRODUCCION.—

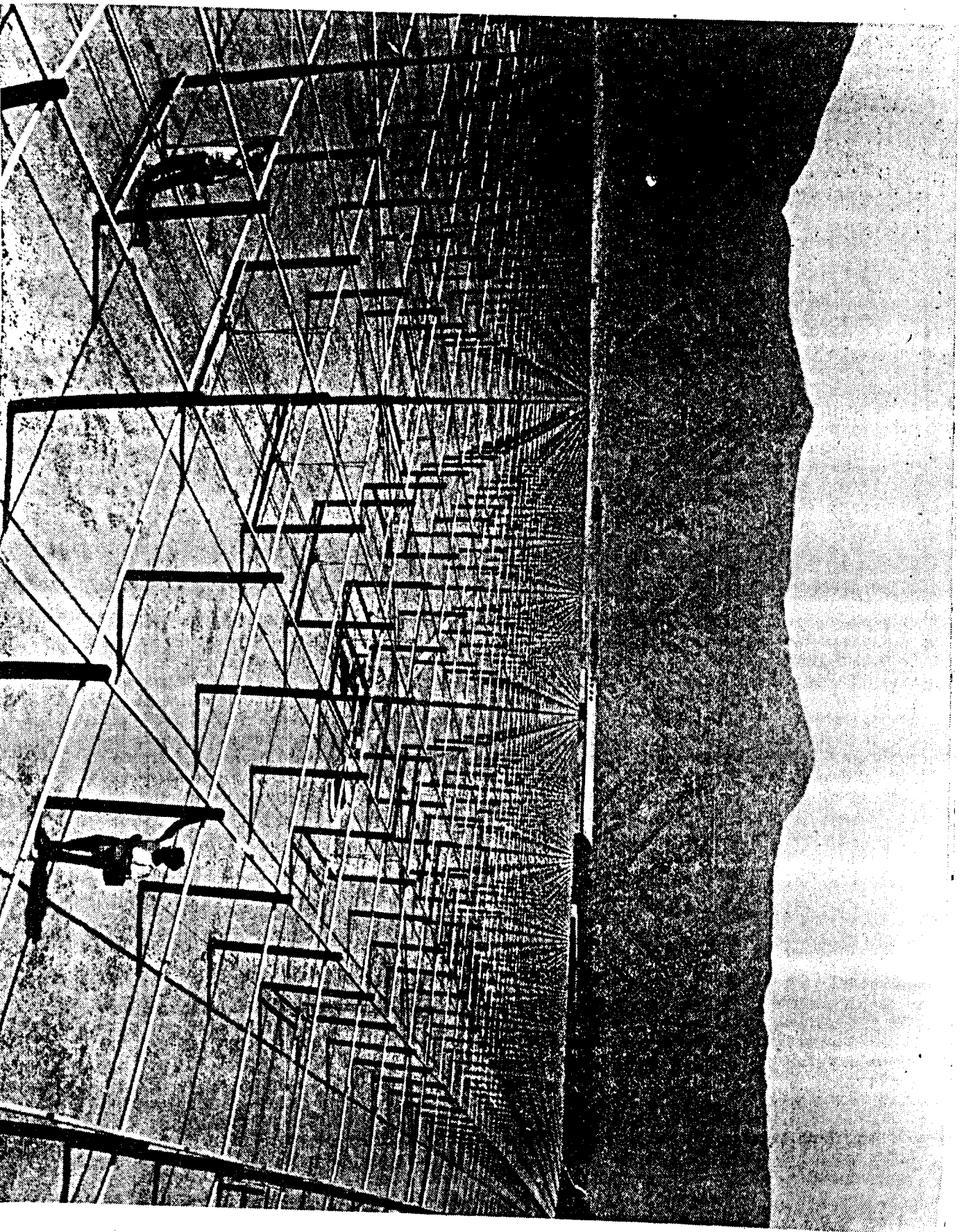
Para el mejor estudio de diferentes procesos muchas veces es necesario que uno o varios parámetros que definen al proceso sean transducidos a señales adecuadas para su procesamiento en computadora.

Los transductores generan un voltaje que varía proporcionalmente a las variaciones del proceso en medición. Esta señal es necesario medirla y digitalizarla. El presente trabajo describe la implementación de un sistema para el procesamiento simultáneo de hasta 8 señales analógicas a un rango de hasta 500 mil muestras por segundo.

Este sistema se ha implementado en el Radio Observatorio de Jicamarca. En este Observato-

rio se efectúa principalmente investigación científica de la ionósfera y la magnetósfera hasta una distancia de alrededor de 10,000 Km. (Fig. 1). Para esto se dispone de un inmenso radar y un equipo digital de procesamiento de datos en línea. Este equipo digital controla completamente la operación del transmisor y receptor del radar, lleva a cabo análisis de correlación sobre la señal recibida en tiempo real, usa estas funciones de correlación para deducir las características ionosféricas que se desean estudiar y luego las gráficas en Línea (1), (2).

Los requerimientos de procesamiento de datos en el observatorio han crecido considerablemente y han sobrepasado la capacidad del pre-



sente equipo digital. Prácticamente sólo una décima parte de los datos producidos por el radar son procesados. Agregado a esto está el hecho de que en ciertos experimentos se requiere una operación continua del sistema y al mismo tiempo se le necesita para modificar y edificar programas

para nuevas observaciones. Esto no puede hacerse con el sistema de computación actual. Por tanto, experimentos ya establecidos que necesitan una larga serie de observaciones sin interrupción entran en conflicto con el desarrollo de procedimientos para nuevos experimentos.

II.—NUEVO SISTEMA DE COMPUTACION DE JICAMARCA.—

Para proporcionar una mayor capacidad de experimentación a Jicamarca el Instituto Geofísico ha adquirido recientemente una nueva computadora Datacraft 6024/3. En base a esta computadora se va a edificar un nuevo sistema de computación con una velocidad que va a ser por lo menos 10 veces mayor a la del actual y que va a permitir un control continuo del radar en paralelo con el desarrollo de programas para nuevos experimentos. En la figura 2 se muestra el proyecto del nuevo sistema de computación de Jicamarca. En este nuevo sistema el transmisor y receptores del radar van a ser gobernados por el llamado controlador del radar. Este sistema digital va a consistir en una memoria circulante, programable desde la computadora y que a va determinar el momento de envío de pulsos al espacio, el ancho de los mismos, la repetición, la supresión, el muestreo de las señales recibidas, ganancia de los receptores, etc. Puesto que su

contenido será cargado desde la computadora va a permitir un cambio rápido de forma de operación del radar a otro experimento, así como una completa flexibilidad en cuanto a rangos de altura de observaciones, cambios durante cualquier hora del día de acuerdo a condiciones de señal recibida, etc. El proceso estadístico de las señales recibidas lo efectuará el procesador de alta velocidad que trabajará con palabras de 8 y 16 bits para efectuar multiplicaciones y acumulaciones rápidas. La digitalización de las señales analógicas será hecha con un multiplexer de 8 canales y un conversor analógico a digital de 2 MHz de velocidad. Además a esto, tiene un proceso de construcción un sistema de interfase de la computadora Datacraft con el antiguo sistema de computación. En el presente trabajo describimos el sistema de interfase y control diseñado y construido en Jicamarca para acoplar el sistema de MUX-ADC a la nueva computadora.

III.—DESCRIPCION DEL INTERFASE Y CONTROLADOR.—

En la figura 3 se muestra un diagrama de bloque de este sistema.

Las señales analógicas, hasta un máximo de ocho, son conectados a módulos de muestreo y retención (sample/hold). Estos módulos muestrean el valor del voltaje a su entrada y lo mantienen a un pulso de control proveniente del controlador.

Las salidas de estos módulos son conectados al multiplexer el que selecciona una de estas señales y la entrega al conversor analógico digital (ADC). Este a su vez convierte el voltaje de entrada a un número binario de 8 bits e indica al controlador el momento en que la conversión ha terminado. El controlador avisa a la computadora la existencia de un dato en la entrada, la computadora toma este valor y envía una señal de recepción al sistema. Esta señal sirve para generar una orden al multiplexer indicándole la selección del siguiente canal. El interfase se ha diseñado para ser usado en el mismo canal en que está conectado el lector de tarjetas debido a que en el momento de construcción no se disponía de componentes necesarios para la construcción de los circuitos guidores y receptores de señal de la computadora así como de los co-

nectores especiales para conectar el sistema ADC como una unidad completamente independiente en otro canal. Esto ha hecho necesario diseñar una lógica para efectuar una conmutación de datos provenientes del Lector de Tarjetas y del ADC. El canal que se usa tiene la característica de permitir una transferencia automática de un bloque de palabras de un dispositivo periférico a la memoria sin interrumpir a la unidad central de precosamiento (CPU) usando la técnica de "robar" un ciclo de memoria del CPU. Por tanto para transferir un bloque de palabras del ADC bastará ordenar, con una instrucción, al sistema de control de transferencia de bloque el número de palabras a transferirse y el lugar donde se le debe depositar y éste tomará el trabajo y generará un nivel de interrupción al terminar el transferir la última palabra.

El control de radar por ahora lo seguirá haciendo el correlador digital [1] (una de las computadoras del antiguo sistema de computación), así como los pulsos de muestreo. Sin embargo el inicio y detención del transmisor y del muestreo será gobernado por la computadora. El correlador indicará una operación correcta al controlador a través de un bit de status.

NUEVO SISTEMA DE COMPUTACION DE JICAMARCA

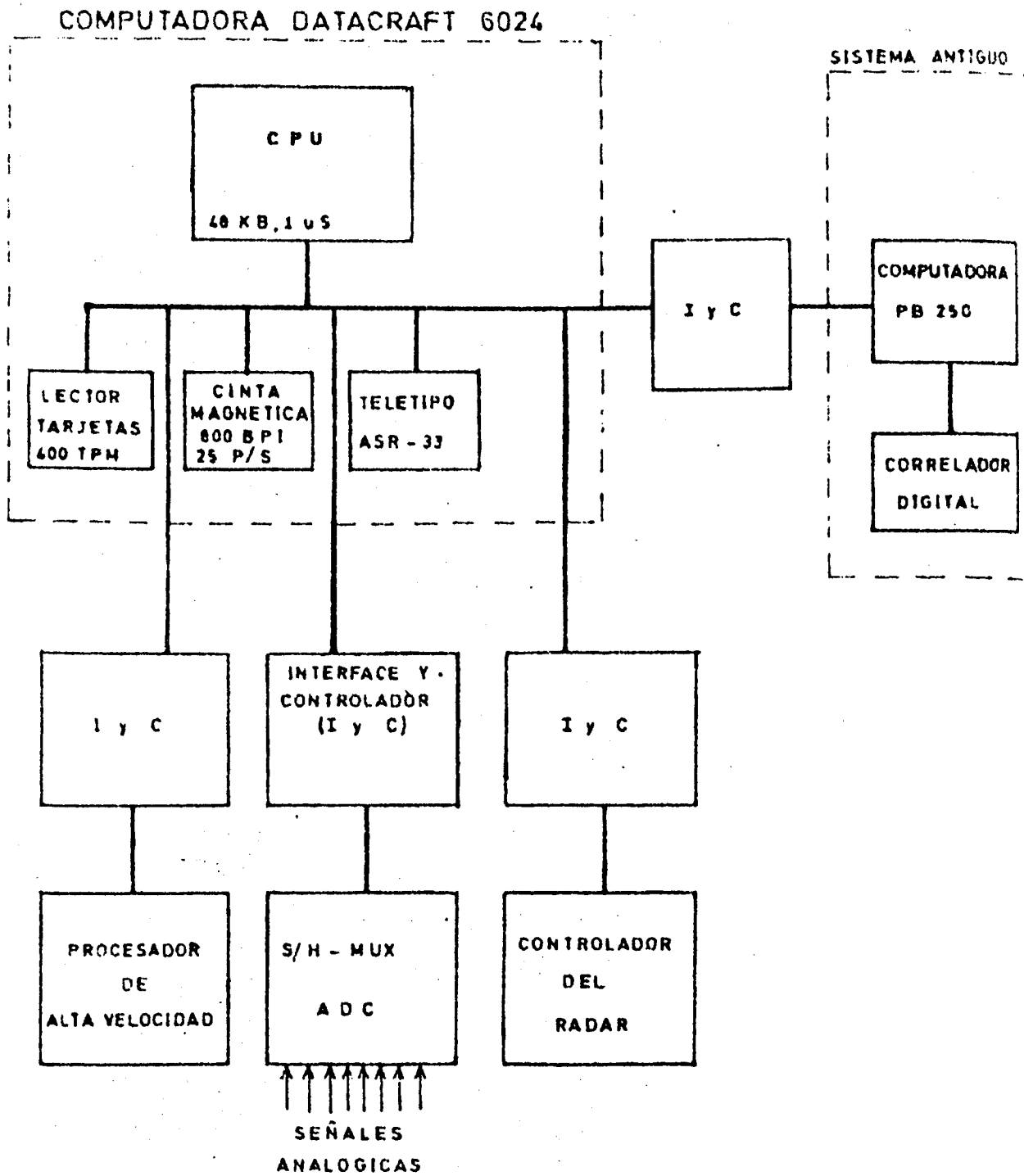


Fig. 2

IV.—DISEÑO EN DETALLE.—

El sistema que se ha diseñado usando circuitos integrados de la familia TTL/74 y consta de 3 tarjetas. La primera y segunda tarjeta contienen el control y la tercera la conmutación de los datos.

En la tarjeta uno (Fig. 4) el pulso de muestreo del correlador pone en uno al Flip-flop (FF1) del circuito integrado 1 (CI-1). Este a su vez arranca un oscilador conformado por los CI2 y CI3. Este oscilador va a generar 1, 2 ó 4 pulsos de muestreo por cada pulso recibido del correlador, el número se selecciona con un switch de 3 posiciones. Los FF's de CI1 y CI4 forman un contador el que al llegar a la cuenta puesta en el switch genera un pulso de puesta a cero al FF1.

La salida de CI2 constituye el pulso de muestreo y retención (sample/hold) que es amplificado en el inversor CC17 y enviado a los 8 módulos Sample/hold.

Este pulso también sirve para generar una señal inicial a la computadora y para poner en uno al FF2 de CI4 el que va a activar el CI6. El CI6 es un one-shot que a va generar pulsos de avance al multiplexer (MUX) cada vez que la computadora indique la recepción de un dato a través de la señal DATU. Este one-shot estará activado por el FF2 del CI4 hasta que el MUX llegue a su cuenta máxima y cuando se presente el próximo DATU, ponga en cero al FF2.

En la tarjeta 2 (Fig. 5) se usa el FF2 para decidir de cual equipo (ADC o lector de tarjetas) va a enviarse a la computadora la señal DAVFU (Dato disponible a la entrada) y proporcionar a la tarjeta 3 a través del pin 21 la señal de control necesaria para la conmutación de datos. El

FF1 de CI12 almacena el pulso angosto de ADC que indica fin de conversión (data ready) y mantiene el valor de uno hasta que es puesto a cero por la señal DATU que viene de la computadora. La puesta a uno o cero del FF2 se selecciona desde la computadora a través del bit 6 de la palabra de comando. Esta selección también se puede hacer desde una llave montada en el panel que contiene el MUX. el inicio y detención del transmisión es gobernado por el FF1 del CI32 el que almacena el bit de la palabra de comando de la computadora. La salida de este FF es convertida a niveles de 0 y -12 voltios y enviada al correlador digital.

El inicio y detención del muestreo es controlado por el FF2 del CI32 que almacena el bit de la palabra de comando de la computadora. El FF1 del CI34 recibe el bit de status del correlador y su salida constituye el status bit 7 que va a la computadora cuando esta desee sensar el estado del correlador.

En la tarjeta 3 (Fig. 6a, 6b) se efectúa la conmutación de datos. La señal de control proveniente de la tarjeta 2 sirve para conectar al bit i ($i=0, 7$) de salida, (que va a la computadora) el bit i del ADC o el bit i del lector de tarjetas, la computación se hace usando NAND gates. Para los bits 8, 9, 10, 11 la selección se hace entre el bit 7 del ADC (signo) y los bits 8, 9, 10 y 11 (signo) del ADC. Esto es porque para los números negativos expresados en complemento de 2 el signo debe extenderse desde el bit 7 al 23. Los bits 12 a 23, cuando la señal indique la selección del lector de tarjetas, serán igual a cero puesto que el bit 7 está conectado en AND con este control.

V.—CONCLUSIONES.—

El sistema digital diseñado permite a la computadora DC6024/3 controlar a un sistema de multiplexer ADC para procesar hasta 8 señales analógicas simultáneamente.

El rango de transferencia de información puede llegar hasta 500 mil muestras por segundo. Cuando se aplique el proceso de señales de radar se puede lograr una resolución en altura de hasta 1.25 Km.

El uso de circuitrería integrada otorga al presente sistema un bajo costo y una alta confiabilidad.

Con este nuevo sistema la computadora de Jicamarca tiene la capacidad de procesar señales ionosféricas producidas por el radar así como señales analógicas provenientes de otros experimentos como sismología, infrasonido, oceanografía, etc.

El sistema diseñado puede adecuarse para acoplar otros sistemas ADC a otras computadoras brindando una gran herramienta para el análisis y la investigación a la comunidad científica y tecnológica.

A P E N D I C E

En el apéndice incluimos muestras fotográficas de lo siguiente:

Fig. 7.—Vista de los equipos Multiplex (superior) y ADC (inferior) que se han acoplado a

INTERFACE PARA CONVERSOR ANALOGICO/DIGITAL (MUX/ADC)
 CON COMPUTADORA DATACRAFT 6024
 TARJETA N°1

Febrero 1973
 A GUILLEN C/
 /R WOODMAN

CIRCUITO	Tip.	Integrac.	IC. N°
1	74LS	74LS	74LS
2	74LS	74LS	74LS
3	74LS	74LS	74LS
4	74LS	74LS	74LS
5	74LS	74LS	74LS
6	74LS	74LS	74LS
7	74LS	74LS	74LS
8	74LS	74LS	74LS
9	74LS	74LS	74LS
10	74LS	74LS	74LS
11	74LS	74LS	74LS
12	74LS	74LS	74LS
13	74LS	74LS	74LS
14	74LS	74LS	74LS
15	74LS	74LS	74LS
16	74LS	74LS	74LS
17	74LS	74LS	74LS
18	74LS	74LS	74LS
19	74LS	74LS	74LS
20	74LS	74LS	74LS

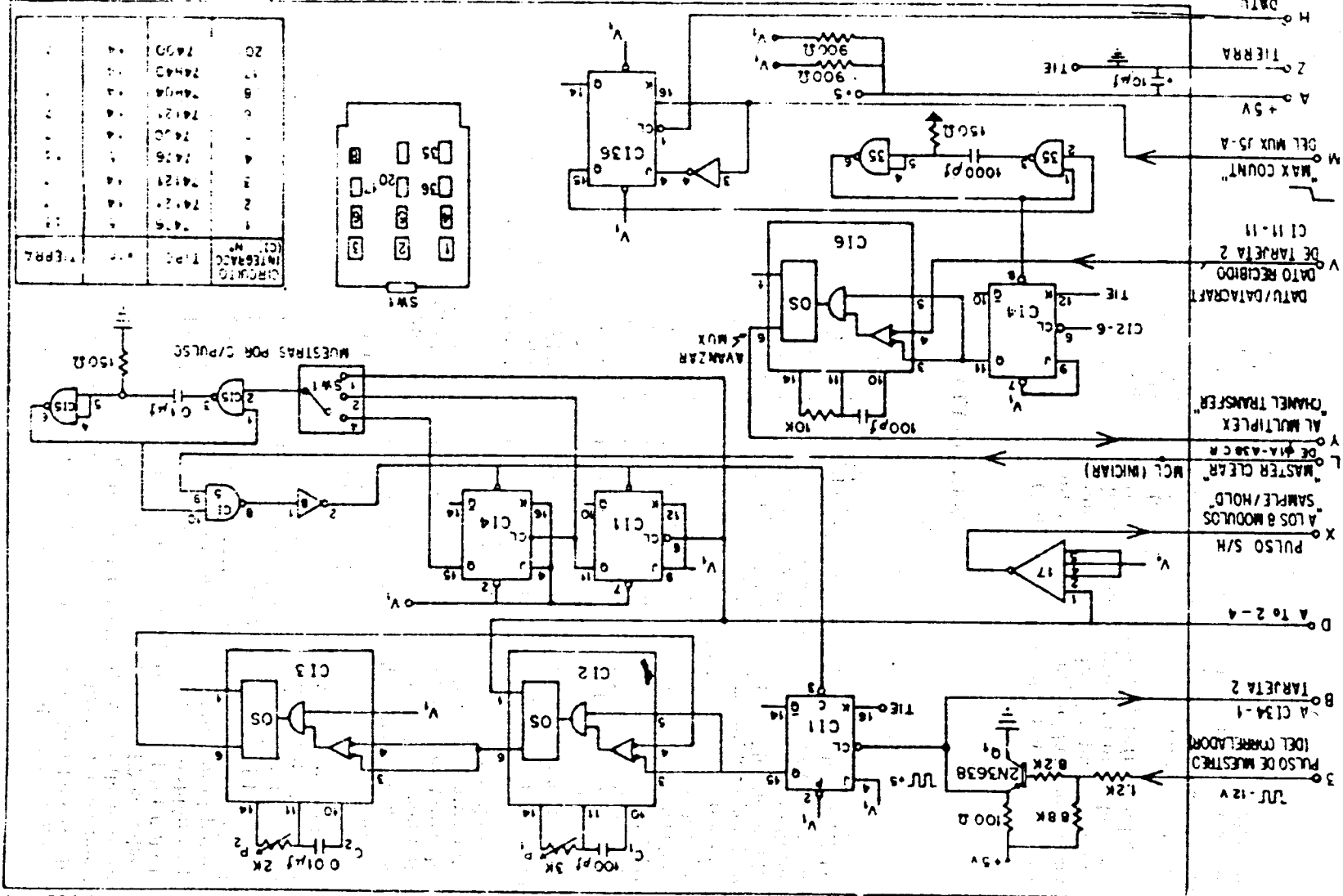
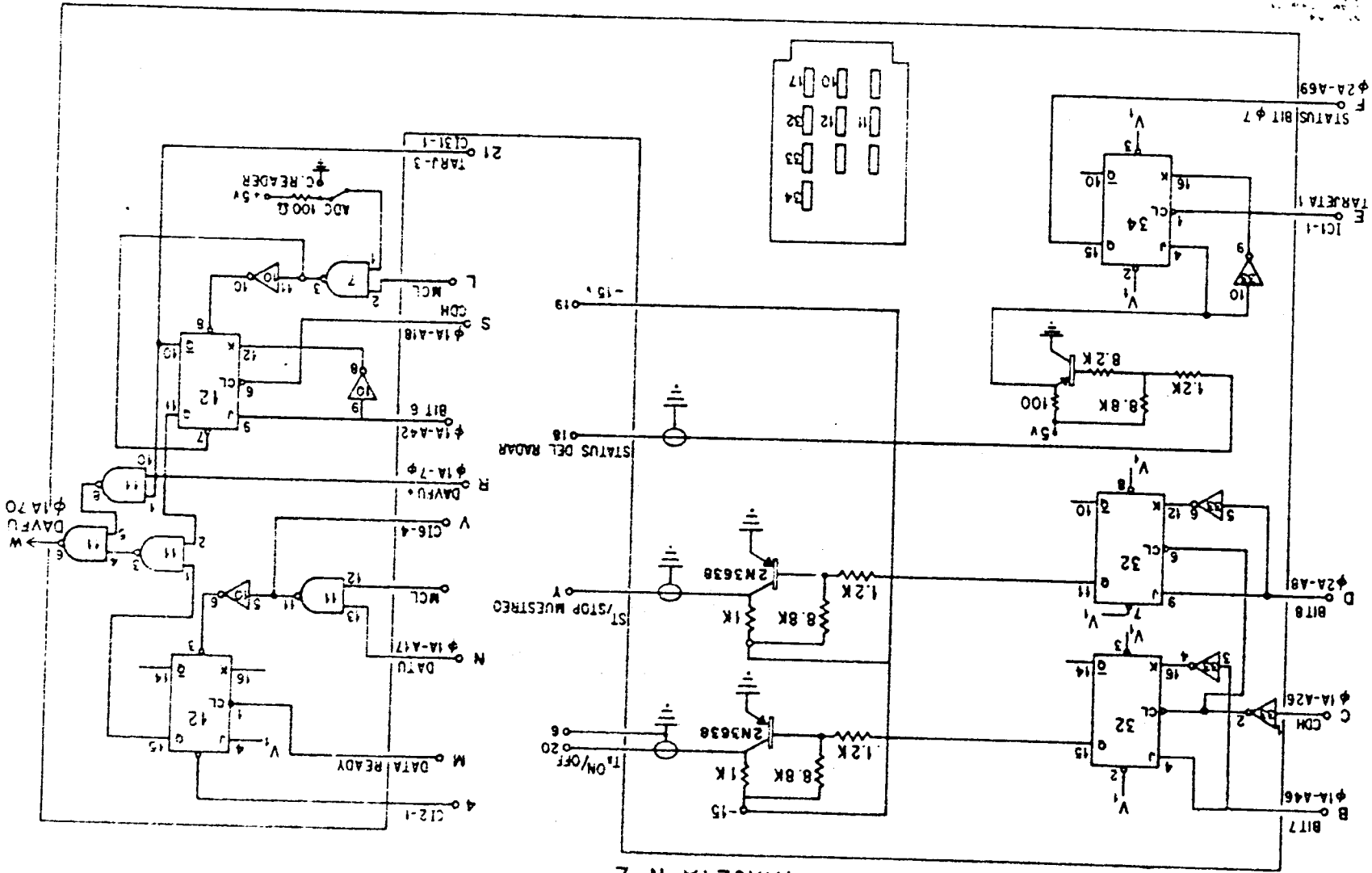


Fig 4

52

INTERFACE ADC/COMPUTADORA TARJETA N.º 2



TARJETA N°3 = PARTE 1 DE 2

→ DET. φ4A DEL CARD READER ←

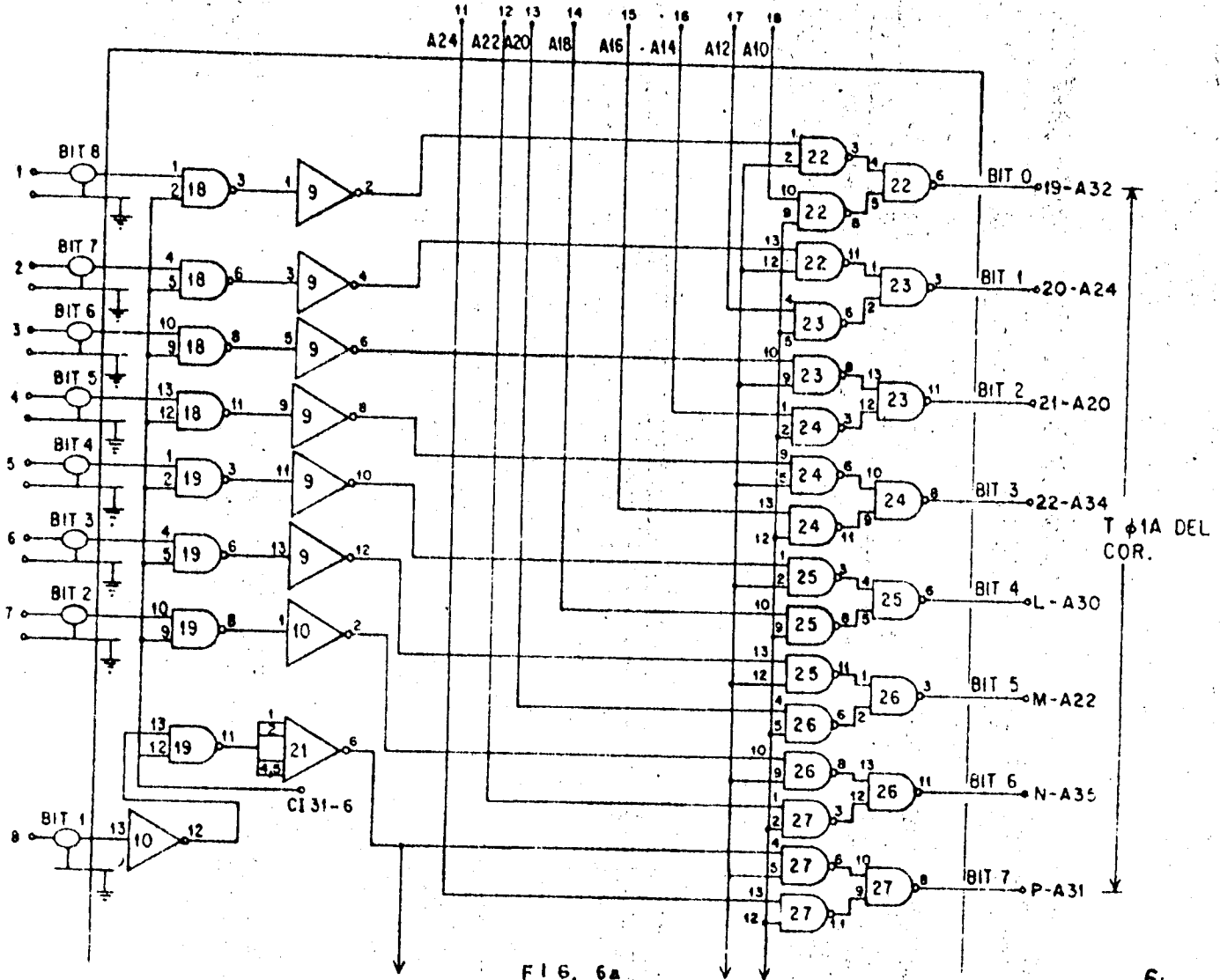


FIG. 6a

6b

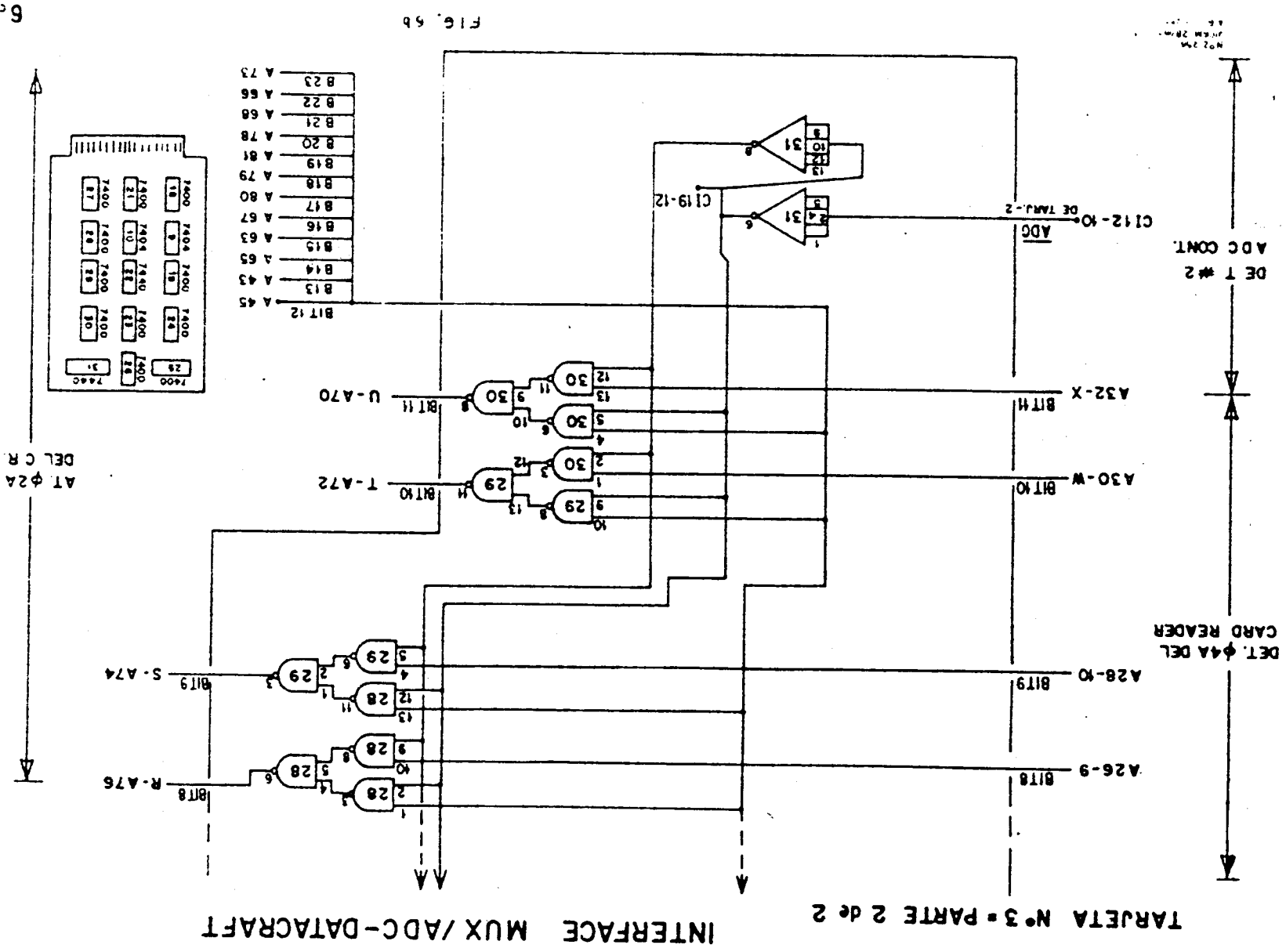


FIG. 5B

6.

FIGURA 9a

```

$JOB
$ASSIGN 4,10,5,10
$ASSIGN 6,0
$LOADGO FORTRAN
    DIMENSION I(1000)
2    WRITE(6,3)
3    FORMAT(//"NUM. PALABRAS= ")
    READ(6,4)N
4    FORMAT(14)
    CALL ADCMX(1,N)
    WRITE(6,1)(I(J),J=1,N)
1    FORMAT(817)
    GO TO 2
    END
$JOB
$OPTIONS .0
$ASSIGN 4,10,5,10,10,14,6,0
$LOADGO ASSEMBLER
    XDEF ADCMX,ST
ST   GAP 1
    TIM  ADDI
    GAP  1
    TIM  ADDN
    TIM  RET

```

```

TOA  '700
OCW  '0400
BNZ  *-1
TMK* ADDN
NKK
LAB  TZE
IDW  '0400
ENZ  *-1
TAM* ADDI
TMA  ADDI
AOA  1
TAM  ADDI
BWK  LAB
TOA  '000
OCW  '0400
BNZ  *-1
DUC* RET
ADDI  BLOK 1
ADDN  BLOK 1
RET   BLOK 1
    END
$REW 4
$ASSIGN 6,1
$LINKCO
EDF

```

ABORT

\$JOB
\$GO

FIGURA 9b

NUM. PALABRAS=
400

27	10	11	11	11	12	12	12
13	40	40	40	40	40	40	41
40	28	27	27	27	26	26	26
25	-15	-15	-16	-16	-16	-17	-17
-17	-43	-43	-44	-43	-44	-43	-43
-44	-28	-27	-27	-26	-26	-26	-26
-25	15	16	16	16	17	17	18
18	41	41	42	41	41	41	41
41	23	22	22	22	21	21	21
20	-20	-21	-22	-22	-22	-22	-22
-23	-44	-44	-43	-43	-43	-44	-44
-44	-22	-22	-21	-21	-21	-21	-20
-20	21	21	21	22	22	22	23
23	41	41	42	41	41	41	41
41	17	17	17	16	16	16	15
15	-26	-26	-26	-27	-27	-27	-28
-28	-43	-44	-44	-43	-43	-43	-43
-43	-17	-17	-17	-16	-15	-15	-15
-15	26	26	27	27	27	27	28
28	40	40	41	41	40	40	40
40	12	11	10	11	10	10	10
9	-30	-31	-32	-31	-32	-32	-32
-32	-42	-42	-42	-42	-42	-42	-42
-42	-11	-11	-10	-9	-9	-9	-9
-8	30	30	30	31	31	31	32
32	39	38	39	39	38	38	38
38	6	5	5	5	4	4	4
3	-34	-35	-34	-35	-35	-36	-36

la computadora.

Fig. 8a.—Vista de dos de las tarjetas que contienen la circuitrería para acoplar los equipos de la Fig. 7 a la computadora. Vista del lado de componentes.

Fig. 8b.—Lo mismo que la figura 8a. pero vista del lado del alambrado.

Fig. 9a.—Programa que indica la rutina Assembler para manejar al sistema y el programa en Fortran que llama a la rutina. Nótese sencillez del Software necesario para el control.

Fig. 9b.—Resultados escritos por la computadora de la digitalización de una onda sinusoidal aplicada a los canales del multiplexor.

REFERENCIAS

1. Guillén, Woodman, R. "Uso de radar y técnicas digitales para mediciones de vientos en la atmósfera". 4º Congreso de Ing. Mecánica Eléctrica y Ramas Afines, Lima, Noviembre 1971.
2. Woodman, R.F., A. Guillén "Radar Observations of Winds and Turbulence in the Mesosphere and Stratosphere". Trabajo presentado para su publicación en Journal of Atmospheric Sciences, agosto 1972.

