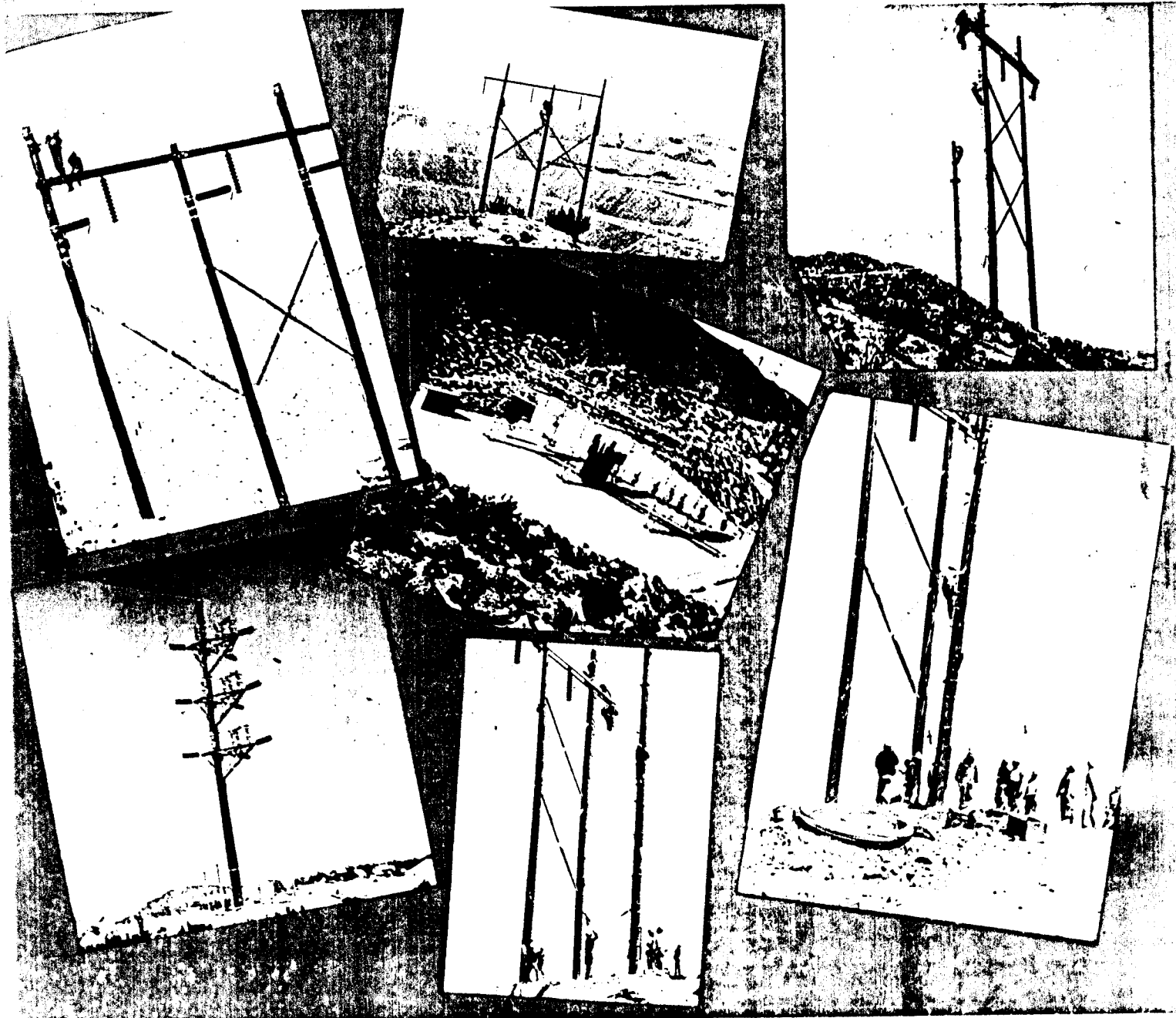


electro- técnica

REVISTA
SOCIEDAD
ELECTROTECNICA
FEBRERO



PREMIO AEP 1974: Mención Especial

INTERFASE Y CONTROLADOR PARA UN SISTEMA DE DESPLIEGUE VISUAL (Display X-Y)

Dr. Ronald Woodman
Ing. César González

PROLOGO

Como resultado de un Proyecto elaborado en el Radio Observatorio de Jicamarca (ROJ) se tiene el presente escrito.

El ROJ dispone de un Centro de Cómputos alrededor del cual, paulatina y sistemáticamente se están enlazando otros Sistemas a modo de Unidades Periféricas. Gran parte del diseño se realiza aquí complementándose con equipo comercial.

El diseño del Controlador para una Unidad de éstas es tema de este trabajo.

Introducción

La Fig. 1 muestra una foto del Sistema de Computación DC6024/3 instalado en el ROJ. Como parte de éste y ya en funcionamiento está el Sistema de Despliegue Visual (XY Display).

La función de este último, es la de permitir visualizar en forma análoga y a través de un tubo de rayos catódicos (CRT) datos que como es de suponer, lo están en forma digital en la Computadora. También permite el uso de la señal análoga obtenida en otros fines aparte del de visualización.

Aunque en la redacción se intenta ser claro y presentar ideas básicas que permitan seguir la lectura sin dificultades, puede ser necesario un mínimo de conocimiento sobre Sistemas Digitales y de Computación para una comprensión cabal del contenido. En tal sentido es recomendable la lectura previa de las Referencias Bibliográficas presentadas al final del Informe cuando la situación así lo permita.

Igualmente, se sugiere leer el Apéndice A para conocer y entender la nomenclatura usada en los diagramas aquí presentados.

Gran parte de este trabajo, tiene que estar de acuerdo con especificaciones de la Datacraft Corporation fabricantes de la DC6024/3, por este motivo es ineludible la utilización de términos en Inglés que en la mayoría de casos se convierten en abreviaciones. Esto debe justificar la inclusión de palabras no españolas y también el Apéndice B que es un Índice de abreviaturas.

En el Capítulo 1 se dan más detalles de la DC6024/3, incluyendo el Software disponible. El Capítulo 2 introduce el importante tema de la entrada y salida de datos, comandos y sensados (status) y concluye con un resumen (2-6), el cual sería conveniente se lea también al iniciarse este capítulo. El Capítulo 3 contiene diagramas y explicación de los Circuitos Implementados en el ROJ, Tablas, Montaje, en fin, la parte práctica del trabajo. El Capítulo 4 muestra ejemplos de los múltiples usos que podrían darse a este dispositivo.

Cierto es que existen sofisticados equipos comerciales que cumplen con los propósitos alcanzados por el presente diseño y mucho más, pero también lo es, que muchas veces estos equipos sobrepasan las necesidades reales y su costo resulta prohibitivo. El diseño, tema de este proyecto ha sido realizado y elaborado totalmente en el ROJ, utilizando materiales de los que allí se disponen y con un costo estimado comparativamente bajo. Otra ventaja, es que se usa un osciloscopio como pantalla, herramienta útil y bastante común. Con algunas modificaciones bien podría adaptarse este diseño a otros pequeños Centros de Cómputo.

1 SISTEMA DE COMPUTACION DE 6024/3

1-1 Descripción Básica del Sistema de Computación

La Datacraft 6024/3 es una computadora digital de propósitos generales, mediana escala, con un tiempo de reloj de 1 μ seg. utiliza una palabra de 24 bits más un bit de paridad y control de tiempo real asemejándose a un multiprocesador o a un Sistema de gran escala por

estas y otras características. Se incluye un apéndice al final más detallado sobre la DC6024/3.

Se dispone de varias unidades periféricas en las instalaciones de Jicamarca, entre las cuales están los equipos de cinta magnética, lectora de tarjetas, teletipo, conversor analógico digital (ADC), conversor digital-analógico (DAC) tema de este trabajo, y un Controlador de Radar en las últimas etapas de prueba y de instalación. La interfase de la unidad central de procesamiento (CPU) con dichos equipos es más o menos estandar a través de canales, los cuales pueden utilizar un sistema de prioridades y de interrupción conveniente o a través de un canal con control automático de bloques (ABC) para la transmisión de datos en bloques y en forma automática como el nombre bien lo sugiere. Más adelante se tratará en más detalle estos puntos que ahora han sido incluidos a modo de referencia.

Como cualquier computadora digital, podemos distinguir en la Unidad Central de Procesamiento diferentes secciones, tales como la Aritmética, de Control, de Memoria, etc. Un diagrama de bloques de la Computadora aparece en la Fig. 2.

La DC6024/3 usa una memoria de núcleos magnéticos, una estructura "bus" de acceso múltiple. Las operaciones aritméticas son sobre la base de complemento dos y se dispone además de multiplicación/división/raíz cuadrada en Hardware. Se incluye también 5 registros de 24 bits de propósitos generales, tres de los cuales pueden ser usados para indexado.

El acceso a memoria es a nivel de palabra (word), doble palabra (double-word) y byte (8 bits), de modo directo, indirecto o indexado.

1-2 Software.— Se dispone de un Sistema Operativo de cinta magnética (TOS), compilador FORTRAN IV, librería FORTRAN; MACRO ASSEMBLER; ASSEMBLER; Diagnóstico de Hardware, Paquete de Utilidad, DEBUG, etc.

Las instrucciones de ASSEMBLER son poderosas y versátiles, y permiten manipulaciones de registro-registro, registro-memoria y viceversa; además de operaciones lógicas, aritméticas, control de interrupciones y funciones de entrada/salida en base al reconocimiento de casi 600 instrucciones mnemónicas.

2 SISTEMA DE ENTRADA Y SALIDA

2-1 Introducción

Se enlazan los sistemas I/O (entrada/salida) de la unidad periférica con los del CPU por medio de un canal que ofrece máxima flexibilidad y rapidez.

La transferencia de datos puede ser de palabra de 24 bits en palabra a través de la estructura básica de I/O. En este caso la transferencia puede ser controlada con un "software" apropiado (control programado).

También es posible transferir datos por bloques, esta vez sin control por programación salvo para la inicialización usando un ABC. El esquema representativo de la estructura I/O se muestra en la Fig. 3.

En la estructura básica I/O el CPU se comunica con un canal y éste a su vez lo hace con una unidad periférica. Pueden haber un máximo de 14 canales todos activos a la vez y un máximo de 16 unidades periféricas por canal. Al decir activos se entiende que pueden estar operando simultáneamente; sin embargo, se aclara que el CPU puede atender únicamente un canal a la vez y cada canal una unidad, pese a que el resto esté operando de algún modo por su cuenta.

Usando el control automático de bloques se podrían transferir bloques de palabras de 1 a 65,536 en forma automática, a una velocidad máxima de 500,000 palabras/seg. (1.5 millones de bytes). Pueden existir hasta 14 ABCs operando simultáneamente, pero en conexión con el CPU y memoria solo uno a la vez.



COMPUTADORA DC 6024/3

2.2 Clasificación de las Comunicaciones

Las comunicaciones entre el CPU y la combinación canal/unidad seleccionada se hacen a través de un registro llamado "A" en el CPU y los correspondientes receptores en el canal o/y unidad llamados "Buffers".

Estas comunicaciones pueden consistir en la transferencia de comandos, datos y estados (status).

Los comandos indican a la unidad periférica acciones a tomar sean estas mecánicas o electrónicas. Los datos son simplemente información numérica binaria que se envía al periférico o se recibe de él (casos del DAC y ADC). Los status son información recibida del periférico respecto de su situación y condiciones de operación. Finalmente se requiere información de dirección de palabras cuando se usa un ABC, pues es necesario saber, dónde está ubicada la primera palabra del bloque en memoria y la cantidad de palabras—sea en entrada o salida de datos— a transferirse usando este dispositivo; esta información sin embargo, no llega al periférico sino que se mantiene en dos registros del CPU.

El establecimiento de estas comunicaciones se hace a través de instrucciones apropiadas en lenguaje Assembler básico como son "OCW" (comandos); "IDW" o "ODW" (datos), etc.

Intermedio entre las instrucciones y la respuesta del periférico avisando del establecimiento de la comunicación existen una serie de señales que precisamente serán tema de estudio en este trabajo en capítulos posteriores. Esto último está relacionado directamente con la interfase y el controlador tema central de este trabajo.

2.2.1 Transferencia de Comandos

Se realizan a través de la instrucción OCW (Output Command Word) especificando el canal y unidad afectados.

Los comandos u órdenes mismas van en la llamada palabra de comando proveniente del registro A (24 bits). Los bits 0-2 se utilizan para el control del sistema de interrupción de la unidad. En el resto de bits van los comandos propiamente dichos que varían de una unidad a otra.

Un sistema de interrupción permite "interrumpir" las labores del CPU (normalmente procesando, etc.) para que atienda un llamado de la unidad que pide entregar u obtener un dato a/o de memoria.

Como ejemplo típico de una palabra de comandos tomamos el cinta magnética en la Fig. 4 donde se explica brevemente el significado de cada bit.

2.2.2 Transferencia de datos

— **Entrada:** Con la instrucción IDW (Input Data Word), la cual es un pedido del CPU a un canal/unidad específicos de un dato; que en caso de estar disponible se transfiere al registro A en el CPU.

— **Salida:** Se usa la instrucción ODW (Output Data Word) y su ejecución implica la transferencia de un dato del registro A al correspon-

diente buffer de un canal (este a su vez transfiere posteriormente este dato a la unidad periférica).

Los datos pueden ser números binarios o símbolos con un cierto código en binario, códigos que pueden emplear un número variable de bits por símbolo o carácter (letras, números, etc.), según sea el tipo de unidad (lectora de tarjeta, teletipo, etc.). La transferencia sea de entrada o salida es hasta un máximo de 24 bits a la vez (una palabra).

2.2.3 Transferencia de Status

Con la instrucción ISW (Input Status Word) que permite el acceso al registro A del CPU del status de la unidad periférica.

Casos típicos de palabras de datos y status son los de la Fig. 5.

2.3 Funcionamiento de un canal de I/O

El canal representa una parte fundamental en las comunicaciones de I/O y por ello es conveniente tener un concepto simple pero claro acerca de su funcionamiento.

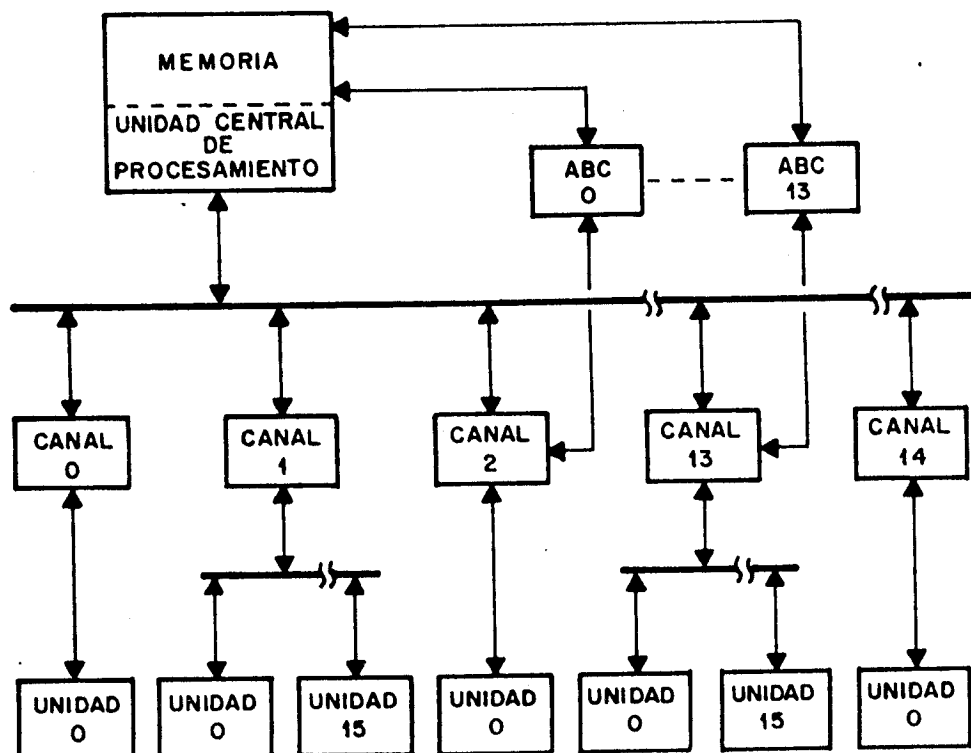
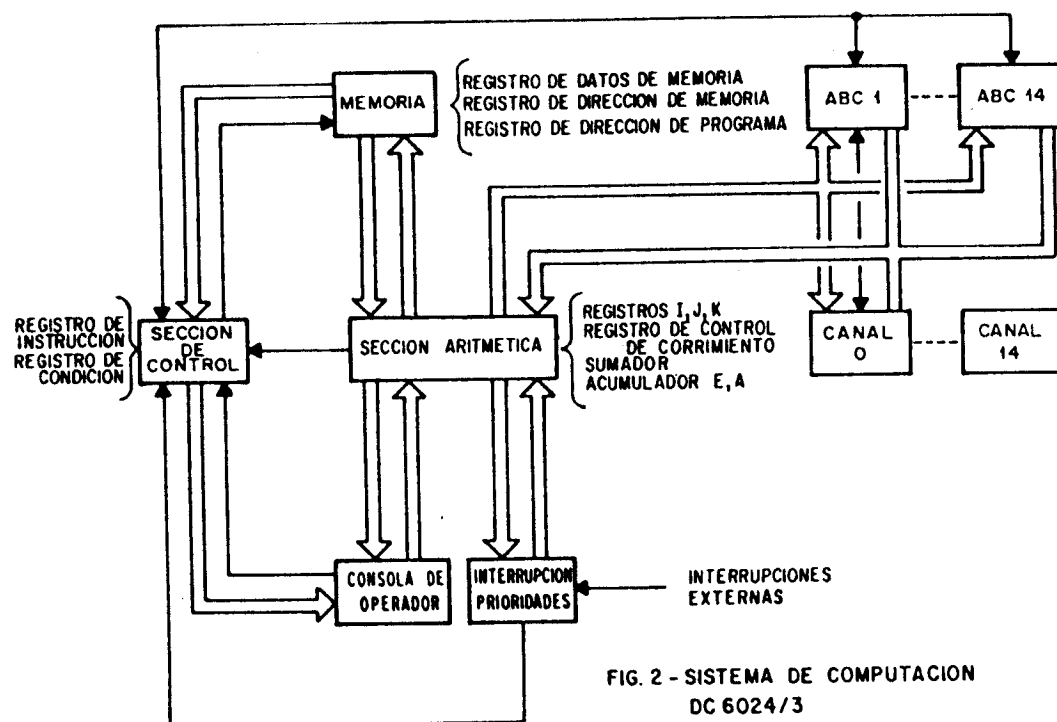
Como ya se mencionó, éste sirve de enlace entre la computadora misma (CPU) y la unidad periférica; pero, el principal objetivo que persigue es el de "independizar" precisamente a estos dos. Existen periféricos "lentos" como por ejemplo la lectora de tarjetas, teletipo, etc., y a su vez "rápidos" como la cinta magnética, disco, etc.; el CPU debe entenderse con todos en lo que respecta a entrada/salida de datos y comandos. Es decir, unos tomarían más tiempo de computadora que los otros, si es que ésta se dedicara a atender exclusivamente a cada uno hasta su terminación; además del problema de sincronismo.

Por este motivo es que el CPU atiende a cada uno de ellos, sólo cuando éstos están preparados para recibir o entregar los datos, comandos, etc.; y mientras tanto es el canal el que se preocupa del resto permitiendo que se aproveche con máxima eficiencia el tiempo de computadora. Es decir mientras el CPU está realizando otras tareas (cómputos en general), el canal prepara las condiciones para la transferencia de un dato o bloque de datos (ABC) u comandos etc. sin interferir con el CPU.

Esto lo realiza mediante funciones independientes del CPU y con el auxilio (aunque no necesario) del sistema de Prioridades e Interrupciones.

El Sistema de Prioridad, como su nombre lo dice, jerarquiza las preferencias en cuanto I/O de los periféricos. Esto es, decide quién tiene preferencia a ser atendido por el CPU.

El Sistema de Interrupciones consiste de señales llamadas "interrupts" intercambiadas entre canal/unidad y canal/CPU que comunican a el CPU que un determinado canal/unidad está listo para recibir o entregar un dato (o bloque de datos con el ABC). Estas señales paralizan momentáneamente al CPU en sus funciones y transfieren el control de este último a un "Procesador de Interrupciones" (en software) el cual decide la acción a tomar. (véase 2-6.2 y 2-6.3).



7	6	5	4	3	2	1	0
OCUPADO	INICIO DE CINTA	FIN DE ARCHIVO (FILE)	FIN DE CINTA	OVERFLOW EN LECTURA	PROBLEMAS (TROUBLE)	ARCHIVO PROTEGIDO	EN LINEA (ON)

FIG. 5. (a) PALABRA DE STATUS
UNIDAD DE CINTA MAGNETICA

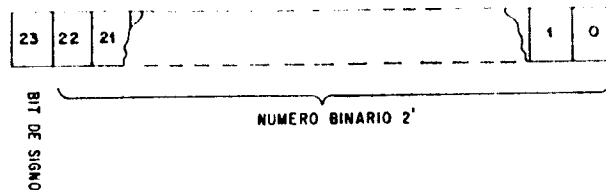


FIG. 5. (b) PALABRA TIPICA DE DATOS

La rutina de procesamiento de interrupción normalmente, salva el contenido de los registros y la dirección en que fué interrumpido el programa anterior que el CPU estuvo procesando; identifica la causa de la interrupción y decide sobre salida o entrada, u otra acción diferente, como es el caso cuando la interrupción es generada para indicar fallas u otros en la unidad periférica.

El "Procesador de Interrupciones" incluye instrucciones de ODW y/o IDW para la entrada y/o salida de los datos.

En el trabajo, tema de esta tesis no se ha hecho uso del sistema de interrupción puesto que las instrucciones de I/O se ejecutan dentro de un Programa controlador (en software) que espera a que la unidad periférica (Display XY) reciba los datos que necesita, requiriendo atención exclusiva del CPU durante este tiempo. Aunque esto no resulta muy eficiente, basta para nuestros propósitos ya que este periférico es bastante rápido.

Es conveniente resaltar que el CPU entrega o recibe el dato del canal y luego se desentiende y regresa el control al programa en proceso. Es el canal el que finalmente realiza la transferencia con la unidad periférica.

El programa en proceso sin embargo, puede ser uno que monitorea constantemente el status del canal/unidad como es el caso de la transferencia programada (2-6.1), u otro que espera recibir una señal de interrupción para realizar una transferencia (2-6.2).

2-4 Operación de la Interfase de Entrada/Salida

En esta sección se tratará el funcionamiento u operación de entrada y salida de la computadora DC6024/3. Dicha operación se refiere a la transferencia de datos, direcciones, comandos e información de status entre el CPU y las distintas unidades periféricas. Ahora bien las transferencias se consiguen a través de los canales y la interfase de I/O. El canal controla el flujo de la información y la interfase sirve de eslabón entre este último y la unidad periférica misma.

Las señales de información intercambiadas entre el canal y la unidad periférica a través de dicha interfase son estándar. En el caso del presente trabajo sólo se ha hecho uso de ellas, sin intentar modificar ni agregar nada.

2-4.1 Selección de canal y unidad

Las instrucciones de I/O en Assembler continene una especi-

cación del canal y unidad a usarse, 5 bits para el canal y 4 para la unidad. Cada vez que se ejecuta una de estas instrucciones (IDW, OCW, etc.), el CPU presenta el código de canal/unidad a el canal, el cual reconoce el llamado y responde con una señal (THIS CHANNEL IS SELECTED). Esta señal permite al canal responder e identificar los controles del CPU.

A continuación el código de la unidad es depositado en sendas líneas de interfase (4 bits) a través de Drivers, y recibido al otro extremo en la tarjeta de Interfase de la unidad por circuitos terminales inversores, pasado a una red decodificadora (NAND), que en caso de reconocerlo envía una señal al canal (CONNECTED) indicando su conexión.

Mientras una unidad esté operando con el canal correspondiente, éste, la mantendrá en la condición de "conectada". Cuando el canal requiere de una unidad diferente, éste envía el pulso de "DISCONNECT" a la unidad en ese momento conectada y simultáneamente el nuevo código de unidad. Al ser reconocido por la correspondiente unidad responde nuevamente esta última con un pulso de CONNECTED y genera otro pulso para uso interno (THIS UNIT IS SELECTED) que le permite aceptar posteriores comandos o datos y responderlos si así es necesario.

Un diagrama sintético incluyendo lógica y secuencia de tiempo de estas señales es el de la Fig. 6.

2-4.2 Transferencia de Comandos

La instrucción OCW cuando es ejecutada, produce la transferencia de una palabra de comando (24 bits) del registro A en el CPU a través del canal e interfase (24 líneas) a la unidad correspondiente (seleccionada). Estas señales aparecen simultáneamente con una de COMMAND DATA HERE (CDH) en la unidad periférica, la cual luego de recibirlas produce una señal de OUTPUT DATA ACCEPTED (ODACP) hacia el canal que da por terminada la transferencia. El canal mientras dura la transferencia señala ocupado (BUSY) al CPU hasta que la unidad le responda.

Los bits de comando proporcionan la información necesaria al periférico, acerca de una acción mecánica, electrónica, etc. requerida. Por ejemplo la selección de entrada o salida en el sistema de interrupciones en unidades capaces de ejecutar ambos.

El diagrama de tiempo simplificado de la secuencia se muestra en la Fig. 7.

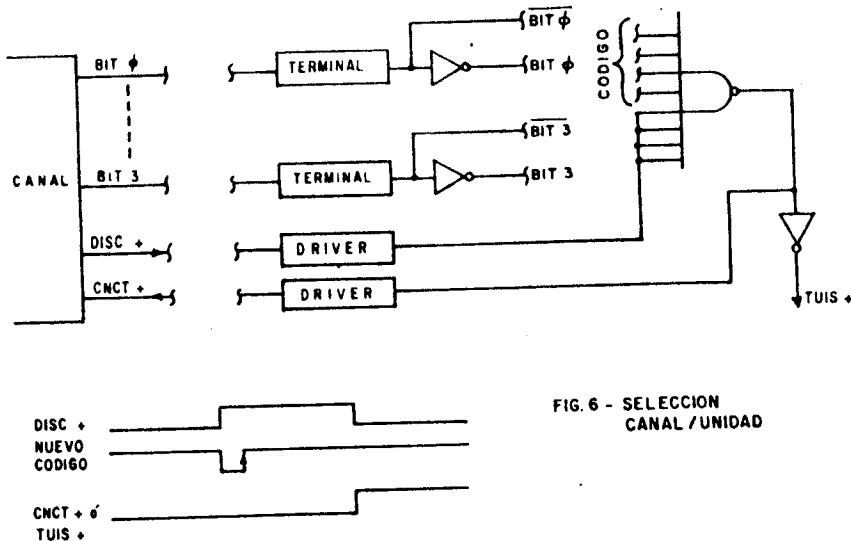


FIG. 6 - SELECCION
CANAL / UNIDAD

NOTA: TERMINALES Y DRIVERS INVERSORES.

2-4.3 Transferencia de datos (Una palabra de dato a la vez)

Modo I/O básico:

— Salida: Después de ejecutada la instrucción ODW (Output Data Word) se transfiere una palabra de datos (24 bits) del registro A en el CPU hacia la unidad periférica a través del canal e interfase. Estos datos van acompañados de la señal OUTPUT DATA HERE (ODH) y una vez aceptados por la unidad, esta última responde con un OUTPUT DATA ACCEPTED (ODACP).

— Entrada: Cuando se requiera ingresar datos del periférico hacia la computadora (registro A del CPU), la unidad periférica deberá generar la señal DATA AVAILABLE FROM UNIT (DAVFU) y entregarla al canal junto con los datos en las líneas de Interfase correspondiente. A continuación queda a la espera de la ejecución de la instrucción IDW (Input Data Word) por parte del CPU; una vez ejecutado el IDW y estando presente el DAVFU recién se procede a la transferencia, que una vez terminada es respondida con una señal de DATA ACCEPTED hacia la unidad.

NOTA:

En cualquiera de los casos anteriores podría ocurrir que cuando se ejecuta la instrucción de I/O, el canal aludido estuviera ocupado en una transferencia anterior aún no concluida. En estas circunstancias no da a lugar la nueva instrucción de I/O y el canal responde, con una señal de BUSY al CPU, colocando al llamado "registro de condición" en la posición de "negativo".

El "registro de condición" tiene 4 bits (overflow, positivo, negativo y cero); está ubicado en el CPU y sirve para monitorear las diferentes etapas en el proceso interno de cálculo de la computadora. En este caso sirve para saber si el canal está ocupado o no.

2-4.4 Transferencia en Bloques

Realizada mediante un ABC. Aunque es un tema muy interesante no entra dentro de los alcances de este trabajo pues no se usa. Básicamente consiste en la transferencia de palabras "robando" un ciclo de CPU por cada una.

2-5 Control de Interrupciones

Son básicamente de dos tipos:

- Interrupción de entrada — Cuando está activada, es la señal DAVFU la que da la orden de interrupción (véase "Funcionamiento de un canal en I/O").
- Interrupción de salida — Cuando está activada, el canal da la orden de interrupción apenas termina de entregar un dato a la unidad, o bien la unidad puede dar la orden a través del bit 2 de la palabra de status; esto según el pulso ECBI (Enable Channel Buffer Empty) esté en 1 ó 0.

Todas estas posibilidades de interrupción están en los tres primeros bits de cualquier palabra de comando de acuerdo a:

- bit 0: activar/desactivar la interrupción de entrada
- bit 1: activar/desactivar la interrupción de salida
- bit 2: ECBI (explicada arriba)

Esto es un resumen muy corto, pero no es necesario tenerlo muy en cuenta puesto que en este trabajo no usamos el sistema de interrupciones (véase "Funcionamiento de un Canal en I/O").

2-6 Resumen

Las ideas acerca del sistema de entrada y salida están un tanto dispersas hasta el momento; ahora se tratará de clarificarlas y ordenarlas en forma abreviada.

No se entrará en detalles y más bien el lector deberá referirse a acápites anteriores para ello, o en todo caso consultar el lúcido reporte de la referencia bibliográfica 4.

2-6.1 Transferencia con Control Programado

Este modo requiere el mínimo de Hardware pero en cambio necesita de un monitoreo constante por parte del CPU. Cuando se inicia la transferencia, el CPU chequea en todo momento, cuando el canal ha recibido el dato u comando y cuando está listo para aceptar una nueva transferencia (esto ha sido llamado I/O básico). Con este fin, intercambian una serie de señales el canal y CPU.

En general la transferencia consistirá de comandos, sensados (status) y datos (en entrada o salida) del modo ya explicado en los acápites 2-2 y 2-4.

El monitoreo del CPU y transferencias mismas, estarán regidos por un programa de control (Software) que es una parte importantísima del sistema.

Nótese que éste es el modo escogido para el presente Proyecto.

2-6.2 Transferencia Controlada por Interrupciones

Este modo implica una lógica (Hardware) más compleja que la anterior. En este caso, el CPU es responsable de iniciar el "proceso" y, luego, son el canal e interfase los responsables de avisar al CPU cuándo ejecutar la transferencia.

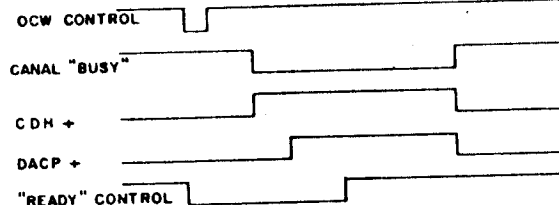


FIG. 7 - DIAGRAMA DE TIEMPOS
TRANSFERENCIA DE COMANDOS.

El caso típico consistiría en que el CPU a través de un programa "principal" determinaría cuándo es el momento de transferir un dato o bloque de datos a algún periférico. El mismo CPU inicia el proceso enviando comandos adecuados que activan señales de "interrupción" del periférico, contadores, etc.; a continuación el CPU continúa en otras labores (cómputos en el programa principal por ejemplo), y deja al canal correspondiente monitoreando al periférico usando la interfase como medio. Cuando el controlador del periférico determina que éste, está listo para realizar la transferencia, la interfase genera un "pedido de interrupción" que cruzando el canal llega al CPU.

El CPU al recibir este pedido, paraliza la tarea que realiza, y pasa a la rutina llamada "Procesador de Interrupciones" (véase 2-3 y 5) que efectúa la transferencia, se pone al día (en cuanto a número de transferencias efectuadas por ejemplo), y finalmente regresa a la tarea que se estuvo efectuando al momento de la interrupción hasta un nuevo pedido, donde se repite la secuencia.

Las ventajas de este modo son evidentes. (véase 2-3 y 2-5).

6.3 Transferencia con Control de Acceso Directo a Memoria

Como el nombre lo dice, la interfase por medio de un canal BC transfiere el dato directamente a la memoria del CPU (en los casos anteriores fue al registro A).

El CPU inicia el "proceso", suministrando los datos de dirección de memoria, y número de palabras a transferirse, a dos registros proveídos con este fin por la DC6024/3, y CPU continúa en otras tareas. Cuando el periférico está listo para la transferencia, el CPU simplemente se detiene por un ciclo de máquina ($1 \mu\text{seg}$) - "roba" 1 ciclo - y ésta (la transferencia) se realiza en forma tal que no afecta en nada las tareas del CPU (salvo el μseg de para); poniendo simultáneamente al día a los registros de dirección y número ya mencionados arriba en una suerte de compartición de tiempo (time sharing). De este modo se consiguen altas velocidades de transferencia en paralelo en el procesamiento.

Desde el punto de vista de eficiencia, esto es lo óptimo pero requiere de un Hardware más complicado que el de los dos casos anteriores.

Aquí también se usan las señales de interrupción del caso anterior, pero a diferencia de este último, solo para indicar, que la transferencia del bloque en conjunto ha sido concluida, y no por cada dato.

La Fig. 8 muestra un diagrama de bloques de una interfase típica.

DISEÑO E IMPLEMENTACION DEL SISTEMA DE DESPLIEGUE VISUAL X-Y (DISPLAY X-Y)

1 Generalidades

El objetivo principal de este trabajo es el diseño de un controlador para el barrido de una pantalla de rayos catódicos (display), que sirva ser un osciloscopio en principio, de modo de obtener una imagen gráfica y casi instantánea de algún proceso efectuado en la computadora el cual se requiere monitorear.

Los criterios usados en este diseño son:

- 1.- Máximo aprovechamiento de las facilidades de interfase que brinda la DC6024/3.
- 2.- El tiempo de computadora utilizado en controlar esta nueva unidad periférica debe ser mínimo (máxima eficiencia).
- 3.- Flexibilidad de diseño, esto es, debe permitir varias alternativas de uso y modificaciones de acuerdo a nuevas necesidades futuras.
- 4.- Modularidad y presentación en su construcción.

De acuerdo al primer criterio, se ha utilizado la tarjeta convencional de interfase diseñada por la Datacraft para este fin, y las especificaciones recomendadas para la interconexión canal-unidad periférica.

Según el segundo criterio, dado que para visualizar un gráfico en una pantalla y mantenerlo, es necesario repetir las señales que lo originan (barrido continuo), se utiliza, una memoria auxiliar que almacene los datos a graficarse y los reponga continuamente sin necesidad de la computadora, salvo para adquirir nuevos datos. A su vez la carga de nuevos datos se hará a máxima velocidad.

El punto tercero, produce como consecuencia nuevas alternativas de uso. Además de un display para graficar Y vs X, debe servirnos también para graficar Y vs tiempo generando internamente el barrido horizontal (diente de sierra) o simplemente como un conversor digital-análogo. (Un experimento útil sería por ejemplo digitalizar voz con un conversor análogo-digital, luego simular un proceso sobre esta voz con la computadora, para posteriormente pasarla por un DAC (nuestro tema) observando los resultados o consecuencias en la voz de salida final). En realidad el corazón del sistema lo constituye precisamente el conversor digital-análogo.

En cuanto al cuarto criterio, solo mencionaremos ahora el hecho de haberse utilizado técnicas modernas de construcción; más adelante se ampliarán detalles.

3-2 Diagrama y Funcionamiento en Bloques del Sistema

Recopilando algunos puntos ya mencionados en el acápite anterior. Tenemos que se usa una memoria auxiliar que de ahora en adelante se llamará memoria dinámica recirculante (MDR) por razones que serán claras posteriormente; tarjetas estándar de interfase canal-unidad; además del controlador propiamente dicho, generador de barrido (diente de sierra) y relojes.

Un diagrama de bloques del sistema sería el de la Fig. 9.

- Operación

Procedentes y hacia la computadora se tienen líneas de datos y de comando, órdenes de interrupción, respuestas de la unidad y otros.

3-2.1 Interfase

Que no es más que una serie de terminales que acoplan la impedancia de las líneas que vienen del canal hacia la unidad periférica; las señales pasan hacia el controlador propiamente dicho y a la MDR. Además las señales que regresan al canal lo hacen por medio de "drivers" que proporcionan un nivel adecuado de intensidad y acoplamiento a las líneas. Estos últimos también se encuentran en la etapa de interfase.

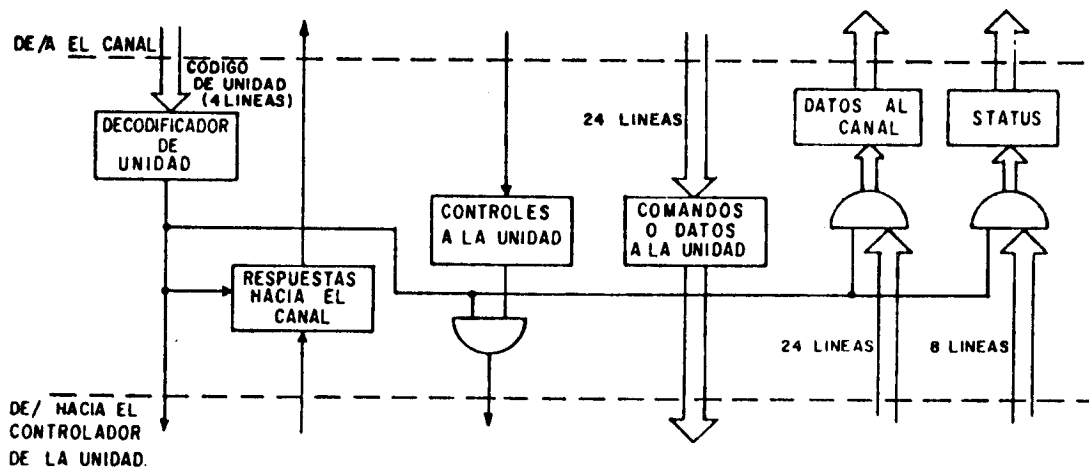


FIG. 8 - DIAGRAMA DE BLOQUES DE LA INTERFASE.

LEYENDA

⇒ DATOS

→ COMANDOS, RELOJES, ETC.

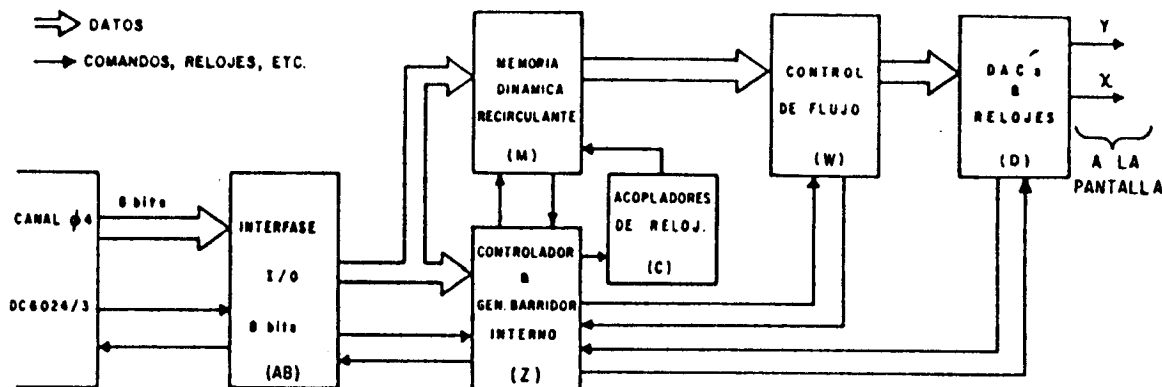


FIG. 9 - DIAGRAMA DE BLOQUES DEL SISTEMA DE DESPLIEGUE VISUAL X-Y

3-2.2 Controlador

Es el que traduce los comandos y proporciona las respuestas requeridas por la computadora, además decide sobre las órdenes a efectuar como por ejemplo cargar nuevos datos en la memoria auxiliar, o MDR, o hacer las recirculación.

3-2.3 Memoria Dinámica Recirculante

Consiste de 8 shift registers (registros de corrimiento) de 1024 bits cada uno trabajando en forma paralela, de modo que en un tiempo determinado y fijo se tienen 8 bits de datos a la vez. Esta situación se ilustra en la Fig. 10. Observamos a su vez que según el estado de los interruptores S1 a S8 estos datos pueden hacerse recircular (posición R) o en todo caso renovar (posición L). De este modo, pues podemos mantener una imagen fija en el display (recirculación) o cambiarla (renovación o carga). La capacidad de almacenamiento de la MDR es pues de 1024 palabras de 8 bits cada una.

Se utilizarán pues en el presente diseño, datos de 8 bits (la tercera parte de la capacidad de una palabra de computadora). En el caso de usarse la alternativa de un display X-Y los datos de X y de Y se memorizarán consecutivamente.

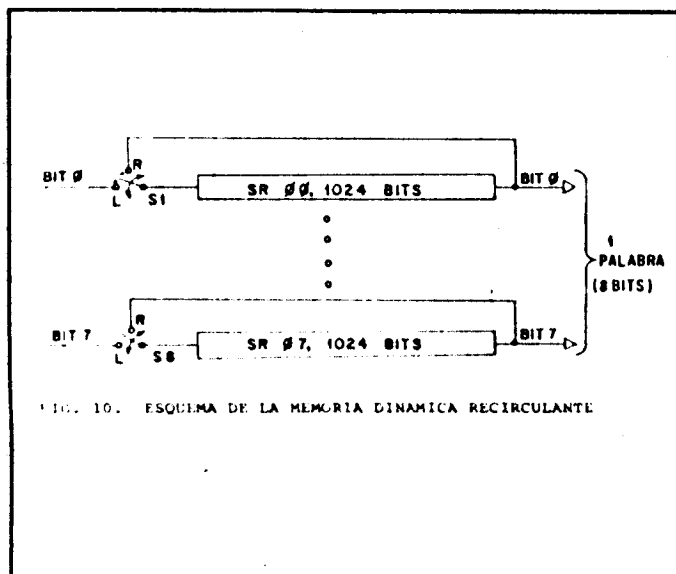


FIG. 10. ESQUEMA DE LA MEMORIA DINAMICA RECIRCULANTE

3-2.4 Control de Flujo de Datos

Tiene la misión específica de transferir los datos de la MDR hacia los convertidores digital-analógico. Una de sus funciones es por ejemplo entregar los datos de X y de Y que vienen secuencialmente en el tiempo desde la MDR, en forma simultánea a los DACs; así se consigue una reproducción fiel de los datos en el display.

3-2.5 Convertidores Digital-Análogo

Circuitos híbridos (semi integrados) cuya salida es la representación análoga del número binario (10 bits) en sus entradas. Se utilizan en número de dos, uno para X o barrido interno y otro para Y.

3-2.6 Generador de Barrido Interno

Se obtiene un diente de sierra de periodo igual al de recirculación de la MDR mediante un contador de módulo 1024 cuyas salidas entran a un DAC (véase Fig. 11).

En todo caso el DAC usado es el mismo del X anterior, o sea se usa o bien la alternativa X-Y o Y vs Barrido Interno.

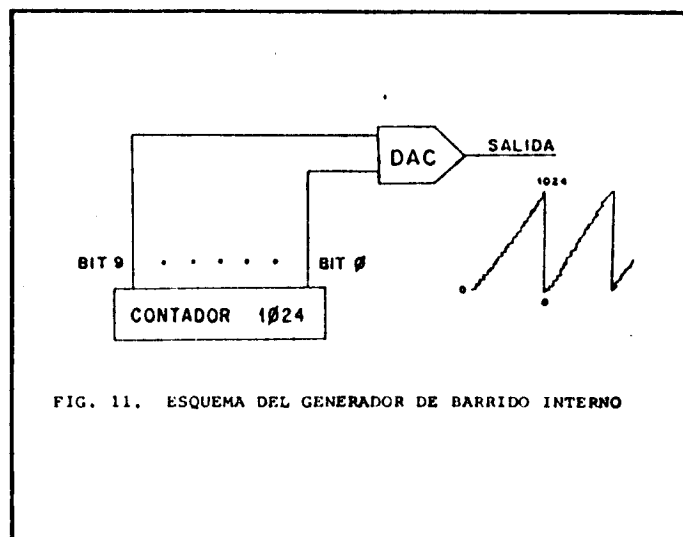


FIG. 11. ESQUEMA DEL GENERADOR DE BARRIDO INTERNO

3-2.7 Relojes

Se utilizan dos relojes cada uno de dos fases. Un reloj de frecuencia alta (casi 2 MHz) para una rápida carga de datos de la computadora a la MDR (mínimo tiempo de computadora). Otro reloj de baja frecuencia adecuada para la visualización sin molestias del display (sin parpadeos).

3-2.8 Pantalla

Originalmente un osciloscopio, aunque se piensa disponer de uno más estandar.

3-3 Descripción Detallada de los Circuitos

Las diferentes partes presentadas en el diagrama de bloques de la Fig. 2 se distribuyen en 6 tarjetas construidas para tal efecto. Un resumen de dichas tarjetas en cuanto a su contenido y características se presenta en la Tabla I a continuación:

TABLA 1
TARJETAS CONSTRUIDAS

Número	Contenido	Identificación
Interfase I/O canal-unidad	Circuitos terminales y drivers	AB
Memoria dinámica recirculante	Registros de Corrimiento	N
Acopladores de puentes de reloj	Ampl. Transistorizados de pulsos	P
Control de flujo de datos de salida	FFs, gates, etc.	M
Controlador	Controlador, generador	I
Convertidores digital-análogo	2 DACs y relojes	D

3.3.1 Interfase

Esta tarjeta confeccionada bajo las técnicas de circuito impreso, y cuyo esquema eléctrico ha sido realizado por la Datacraft Corporation, se muestra en las Figs. 12 y 13.

La manera de entender las principales convenciones adoptadas en estos planos es como sigue: Los gates en una misma designación (IC1, IC2, etc) son de un mismo Circuito Integrado, (mismo "chip"). Los pequeños números en las entradas y salidas de los gates corresponden físicamente a la "patita" del "chip" (Circuito Integrado).

Esta tarjeta tiene dos extremos cada uno de ellos con 86 contactos. A uno de estos juegos de contactos se le designa A y a el otro B. Así donde aparece, por ejemplo A40, esto quiere decir contacto 40 extremo A.

Se utilizan además abreviaciones mnemónicas de las señales, por ejemplo ODACP+ indica "Output Data Accepted" y el signo +, que el nivel normal es "0" apareciendo un "1" en la condición "ON" de dicha señal. Una explicación más detallada de estas señales, su abreviación y su uso se describe más adelante (Ver Apéndices).

Importante es distinguir y resaltar que la lógica usada en ésta y demás tarjetas es TTL (Transistor Transistor Logic) salvo pocos casos, que se mencionarán a su tiempo.

Otras convenciones en el gráfico son fáciles de comprender o no interesan para nuestros propósitos.

En la Fig. 12 los bloques B, C..., T son similares al circuito A, terminal que acopla la impedancia de la línea proveniente del canal de la computadora (100 ohm) y repone los voltajes normales correspondientes a los niveles 0 y 1 (0 y 5 volt) que llegan atenuados por la longitud del cable.

Existe un circuito especial para la señal MCL (master Clear) que maneja gran cantidad de gates y por lo tanto requiere suministrar apreciable corriente.

En la Fig. 13 de igual modo los bloques B..., Y similares al A, sirven de "drivers", siendo acopladores de impedancia y proporcionando una corriente adecuada. Los integrados IC3, IC5, IC8 e IC9 son del tipo colector abierto (open collector) que son usuales en esta aplicación de interfase; pues permiten, colgar varios periféricos a las mismas líneas de interfase, mediante un encadenamiento (daisy chain) y a través de alambres o empalmes "or" (en inglés "tied or") de las salidas de este tipo de elementos.

Una lista de los elementos utilizados en el ensamble de esta tarjeta y las próximas, aparece en la sección acerca del montaje y el diagrama de bloques en la Fig. 8.

Tablas de la ubicación de las señales en las Tarjetas se encuentran en la sección 3.5.

Los siguientes párrafos definen las señales estandar presentes en la interfase canal/unidad (Ref. 2).

— Señales de salida

- A. Master Clear (MCL+)

Esta señal sirve para establecer condiciones iniciales de operación en la estructura I/O; y se aplica, cuando la potencia es conectada o desconectada, o cuando se presiona el interruptor correspondiente sobre la consola de la Computadora.
- B. Código de Unidad (UR+ hasta UR3+)

Conformado por 4 líneas que llevan el código de 4 bits y son usadas para seleccionar la unidad apropiada en la operación de I/O.
- C. Bits de Datos o Comandos de Salida (DTUOO+ hasta DTU23+)

Estas 24 líneas proporcionan sendos bits de una palabra de datos o comandos.
- D. Output Data Here (ODH+)

Esta señal generada a la vez que las anteriores (C) indica que la información en C forma una palabra de datos y no de comandos.

Command Data Here (CDH+)

Significa que la información en C forma una palabra de comando y no de datos.
- F. Disconnect Unit (DISC+)

Para su uso véase (2-4.1).

G. Input Data Accepted (DATU+)

Indica que el canal ha recibido y aceptado una palabra de datos proveniente de la unidad (ver párrafo D de "Señales de Entrada").

— Señales de Entrada

- A. Unit Connected (CNCT+)

Por medio de esta señal la unidad avisa que ha recibido y reconocido el código de unidad.
- B. Data Accepted (DACP+)

Avisa la unidad que ha recibido y aceptado una palabra de datos o comandos de el canal.
- C. Input Data Available (DAVFU+)

Indica que el periférico tiene una palabra de dato lista para la transferencia.
- D. Input Data Bits (DFUOO+ -DFU23+)

24 líneas de Datos hacia el canal.
- E. Status Bits (SFUOO+ - SFU07+)

8 líneas de status según lo explicado anteriormente.

— Señales de Control de Interrupciones

- A. Output Interrupt Enabled (UOIE+)

Indica que la interrupción de salida de la unidad se selecciona. Esto no significa un pedido de interrupción.
- B. Input Interrupt Request (IIFU+)

Pedido de interrupción de entrada a la computadora avisando de un dato en la unidad, listo para la transferencia.
- C. Enable Buffer Empty (ECBI)

Indica que la interrupción de salida se generará según lo explicado en la pag. 11.

Estas señales se reparten en 2 tarjetas propuestas por la Datacraft Corporation, siendo la principal la primera que contiene los primeros 8 bits de datos de entrada y salida, 5 bits de status, interrupciones y el resto de señales.

La segunda tarjeta contiene el resto de bits de datos y de status.

En este proyecto solo se usa la primera!

3.3.2 Memoria Dinámica Recirculante

En esta tarjeta hecha bajo técnicas de circuito impreso, montada con Circuitos Integrados MSI (Signetics 8267), LSI (Intel 1402) TTL y MOS respectivamente, se pueden almacenar una matriz de 1024 x 8 datos de 1 bit.

En la Fig. 14 se muestra el esquema de la MDR. Se muestran claramente las entradas de los 8 bits de datos que realmente han viajado ya del registro A del CPU al canal apropiado y de este último a la tarjeta de Interfase. Es decir, los datos (8 bits) que en número máximo de 1024 podrán ser almacenados en la memoria.

Los multiplexers (IC1 y IC2) cada uno de 4 bits permiten seleccionar entre datos provenientes de la computadora (nuevos) o hacer recircular los ya almacenados, conservándolos y reponiéndolos constantemente en la salida. Esta selección se hace controlando la señal LRC (Load-Recirculate); el nivel "0" significa carga y el "1" recirculación. IC1 e IC2 son del tipo "colector abierto" de allí las resistencias R1-R8 (6).

Los registros de corrimiento (IC3 a IC10) constituyen a fin de cuentas la memoria. Estos son fabricados por Intel con la denominación 1404 MOS Dynamic Memory (5) tienen una capacidad de 1024 bits y trabajan con un Reloj de 2 fases (entradas IP1 - IP2 ó $\phi 1, \phi 2$). Las resistencias R9-R16 son requerimientos de fabricación.

Estas memorias son dinámicas, es decir necesitan constantemente de un "refresco" de modo que no se extingan los bits almacenados. Esto impone restricciones en la frecuencia mínima del Reloj en 400 Hz a condiciones ambientales de temperatura (25°C); a mayor temperatura mayor frecuencia mínima (5).

Igualmente se tiene un límite en la frecuencia máxima (4 MHz) según indicaciones de los fabricantes.

La transición negativa de Reloj determina el corrimiento o avance de 1 bit a la derecha en la memoria, mientras que la positiva la carga o aceptación de un dato en la entrada, sea este de recirculación o uno nuevo, nótese la Fig. 15. Es necesario que los pulsos de las dos fases de Reloj sean alternativos, caso contrario pueden suceder errores de grabación o reproducción.

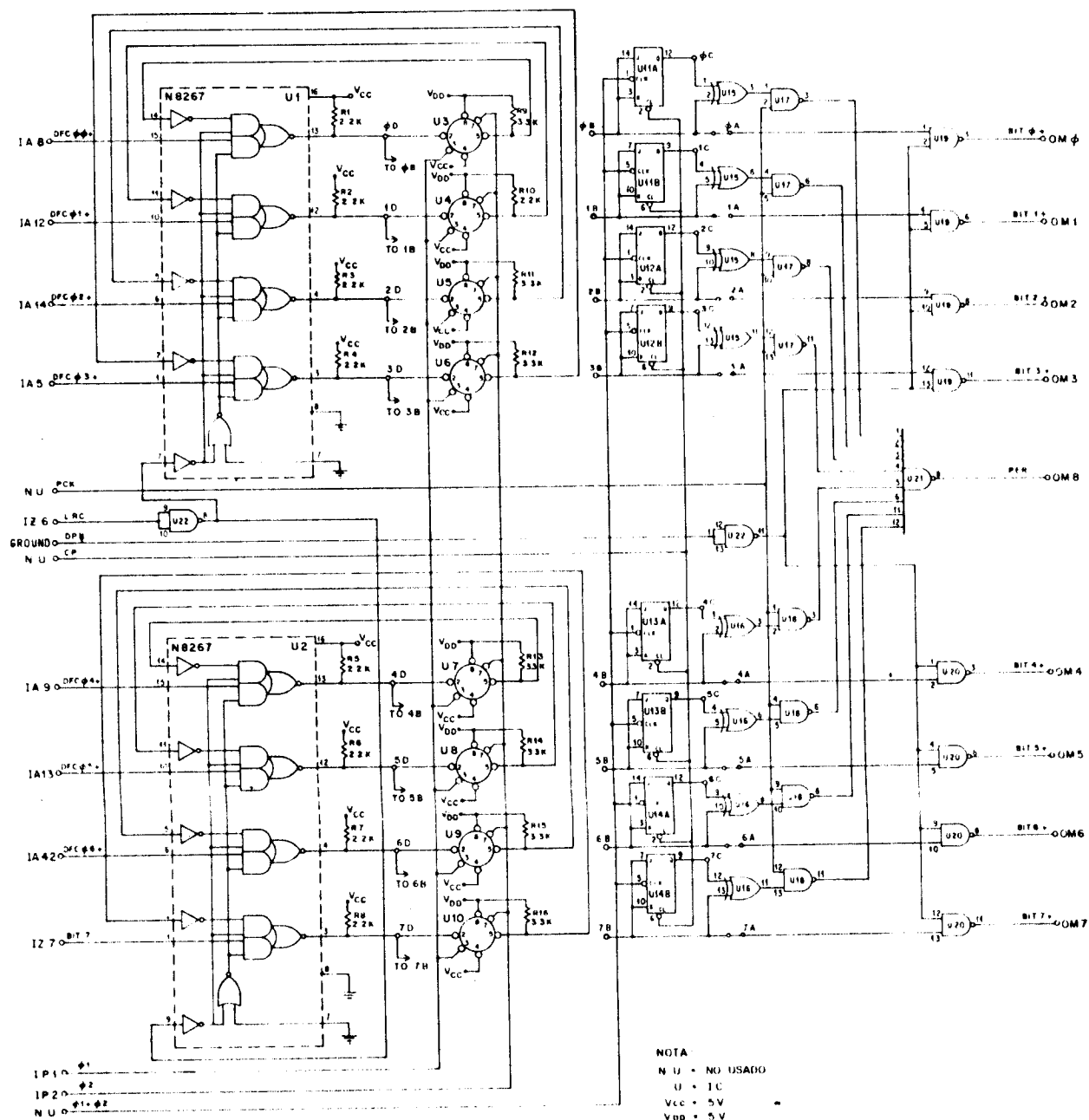
IC10 e IC20 sirven para inhibir las salidas (OM ϕ -OM7) cuando así se desee con el control DPY. El resto de gates se usan en otro proyecto, y sirven para un control de paridad de los bits grabados, indicándose el error en la salida PER.

Resumiendo: Se disponen de 8 entradas que dan acceso a sendos bits de datos del CPU, se pueden grabar o memorizar 1024 de estos, y finalmente se tienen 8 salidas. Se pueden cargar nuevos datos o recircular los ya grabados con un comando apropiado.

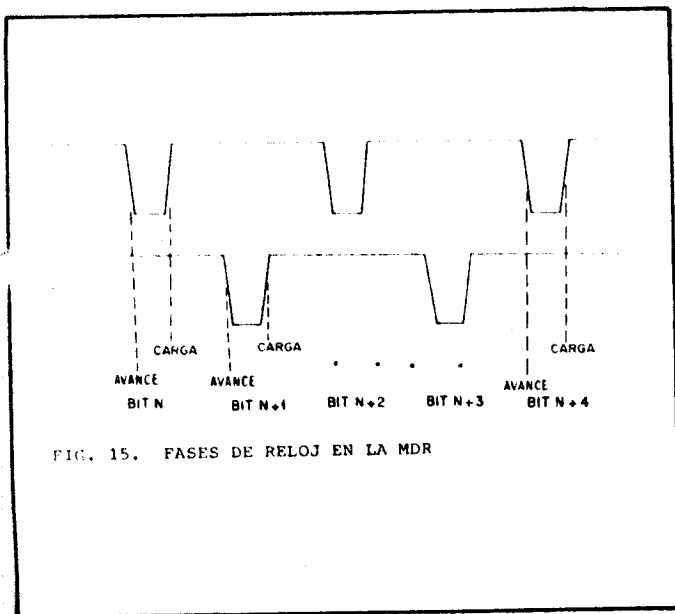


RECIRCULATING DYNAMIC MEMORY
1024 WORDS x 8 BITS
C.U.-R.W.-C.G.B.

FIG 14.- MEMORIA DINAMICA RECIRCULANTE (TARJETA M)



W*2.525
JK ADL 26/08/01 / 74
CU-RW-CGB /mshd



3-3.3 Adaptadores de pulsos de Reloj

El uso de los Circuitos Integrados Intel 1404 en la Tarjeta MDR impone por razones de fabricación el uso de relojes cuyo estado "1" (alto) sea de 5 volt. y de "0" (bajo) de -12 volt. El tiempo de subida y bajada en estos pulsos así mismo ha de ser mínimo, si no se quiere limitar la frecuencia.

Por estas razones se hace imperativo el uso de un adaptador de pulso de la lógica 74/TTL usada en el resto del circuito (0v, 5v) con los relojes para el MDR (-12v, 5v). Las características de este adaptador (Clock Buffer) han de ser su rapidez, fan out o capacidad de manejar hasta 8 integrados 1404 (número usado en la MDR) y lógicamente la salida con los voltajes apropiados.

Según recomendaciones de Intel Co. el circuito usado corresponde al de la Fig. 16.

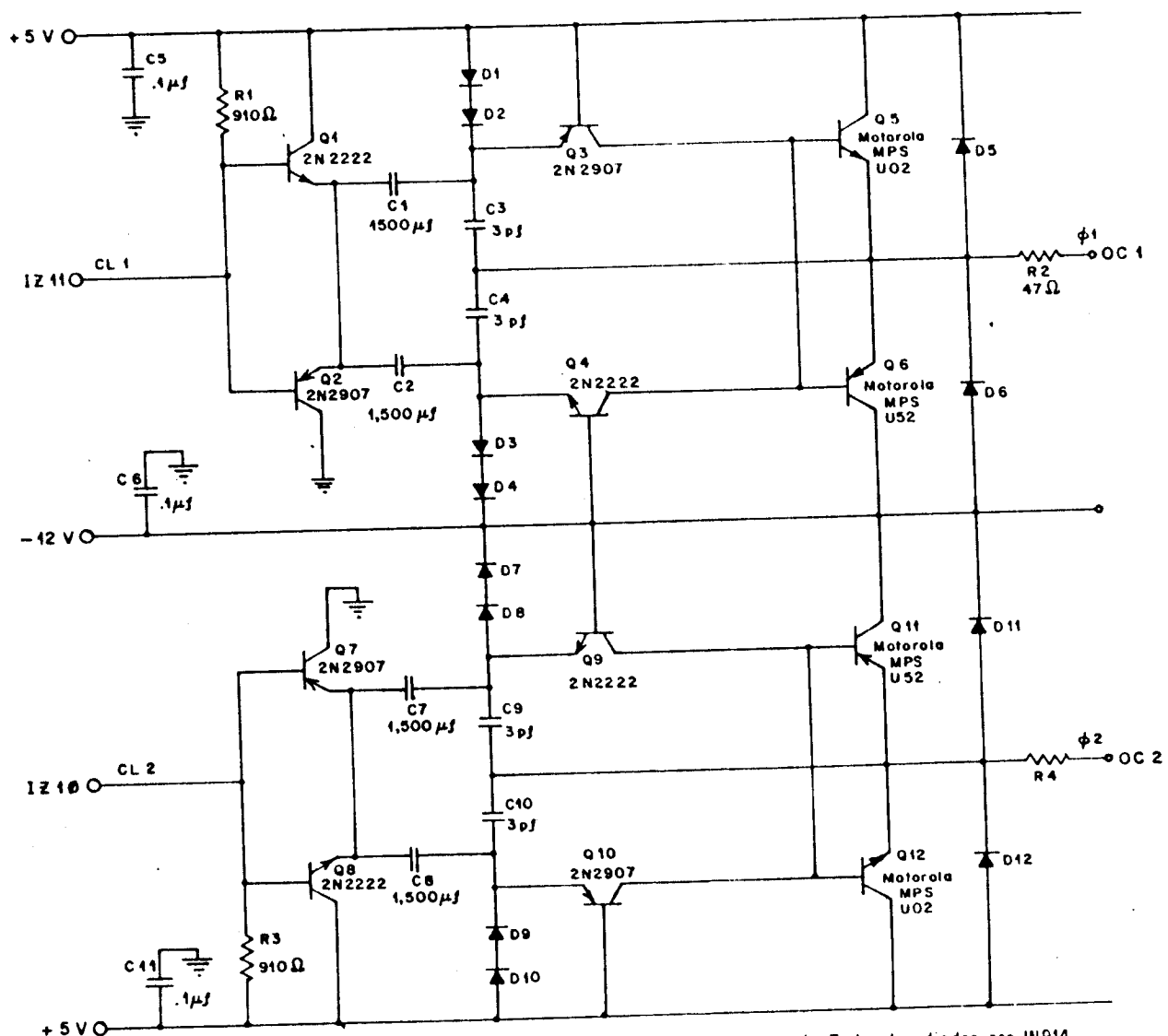
En dicha figura se muestran dos de estos adaptadores, armados en una misma tarjeta en circuito impreso, usándose uno por cada fase de Reloj según lo expuesto en 3-3.2

Los transistores Q1 y Q2 trabajan de modo que mientras uno se corta el otro se satura en armonía con la entrada, teniéndose en los emisores de los mismos una tensión de 0 volt. o casi 5 volt según la entrada.

Los condensadores C1, C2, C3 y C4 en un primer momento son un cortocircuito y la tensión aparece casi instantaneamente en la salida, y esta misma tensión sirve para activar y saturar o bien los transistores Q3, Q5 (salida 5v) ó Q4, Q6 (salida -12v).

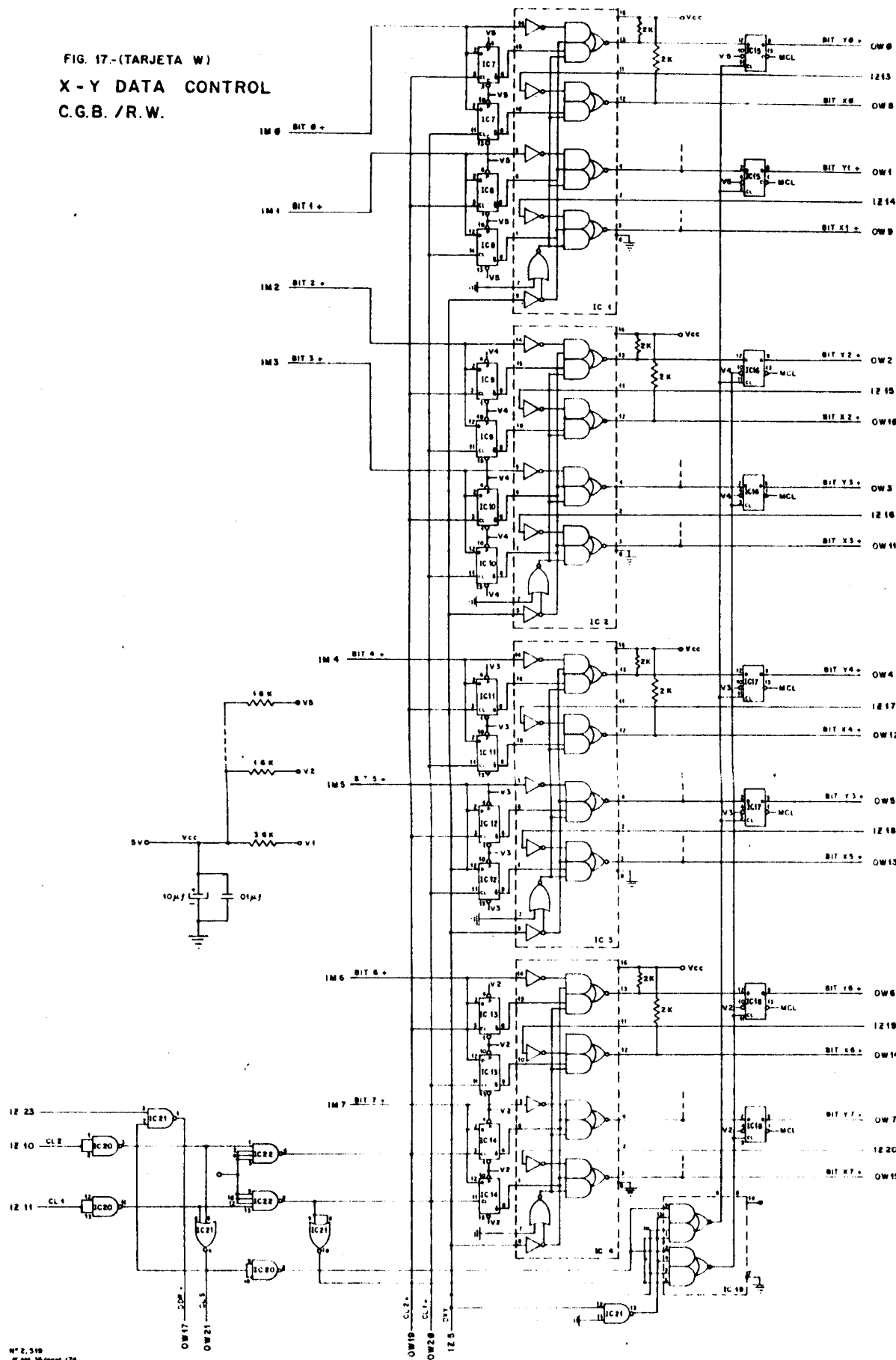
2 - PHASE CLOCK BUFFER C.U./C.G.B

FIG.16.- ADAPTADORES DE RELOJ (TARJETA P)



- Notas: 1.- Todos los diodos son IN914
2.- $\phi 1$ y $\phi 2$, pueden alimentar hasta 8 MOS Shift Registers Intel 1404 a 5 MHz como máximo.

FIG. 17.-(TARJETA W)
X-Y DATA CONTROL
C.G.B./R.W.



Nº 2.510
JULIAN 16/10/74
C.G.B. R.W. Assol

Los diodos D1 a D4 sirven o para asegurar el corte de los transistores o su saturación.

Los diodos D5 y D6 protegen a los transistores Q5, Q6 respectivamente y se alternan en el estado de no conducción.

La unión de las bases de los complementarios Q5 y Q6 asegura también que mientras uno conduzca (saturación) el otro no lo haga (corte). Así si Q5 conduce en la salida aparecerán los 5v menos V_{CEQ5} (sat). Si lo hace Q6 se tendrá -12v menos V_{CEQ6} (sat), este último negativo.

3.3.4 Circuito de Fases de Reloj

Tarjeta construida con técnicas de wire wrap, tiene múltiples funciones y proporciona las entradas a los conversores digital-analógico. (Fig. 17).

Las entradas CL1 y CL2 reciben las dos fases de reloj provenientes del Controlador (3-3.5), se invierten en IC20 por razones de sincronismo en la carga y recirculación de datos. En el proyecto original no existían estos gates, y el resultado fue que en la pantalla aparecían en cuadratura las figuras durante la carga de nuevos datos, respecto de las que lo hacían durante la recirculación.

Los gates de IC22 pueden soportar hasta 30 cargas TTL, lo que permite manejar adecuadamente los relojes de los FFs (IC7 a IC14).

La señal CLS es la suma de las dos fases y es utilizada en la Tarjeta del Controlador general (3-3.5).

ODR+ es importante y a través nuevamente del Controlador sirve para avisar al Canal de la aceptación de un dato según lo requerido por la Interfase de la Datacraft. (Out put Data Received).

El resto de la tarjeta es un bloque repetitivo por cada bit de datos, cuya operación es como sigue:

Por cada entrada procedente de la MDR (supongamos el bit ϕ) se tienen dos salidas (OW ϕ y OW8) que corresponden a un dato de coordenadas Y y X respectivamente. Así dos números consecutivos en el tiempo son aparejados y colocados simultáneamente en los conversores digital-analógico representando un punto a graficarse. También se provee la lógica para un gráfico Y vs Barrido Interno.

Asumamos que la señal DXY está "alto" (1 lógico) y aparece un pulso en la fase CL2 del Reloj. La transición positiva de este pulso dispara el primer FF de IC7 que deja pasar el bit ϕ que en este momento corresponde a un dato Y. A su vez el multiplexer IC1 deja pasar este dato que ahora, está ubicado a la entrada D del primer FF de IC15 (IC15-12).

Al presentarse un pulso en CL1 (Fig. 18) la transición positiva, dispara el segundo FF de IC7, nuevamente se produce la transferencia de un dato (esta vez X) del bit ϕ a través del FF y el multiplexer IC1 a la salida OW8. Pero simultáneamente el mismo pulso de Reloj cruzando los gates de IC19 disparan los FFs de IC15 que transfieren el dato Y a la salida OW ϕ .

Salvo la diferencia en tiempos de propagación de los diferentes gates, estos datos Y y X aparecen simultáneamente.

La transición negativa de los pulsos de Reloj según lo explicado en 3-3.2 y la Fig. 15, prepara los datos provenientes de la MDR sean Y ó X y la transición positiva los transfiere. De acuerdo al tiempo de puesta de los FFs se tiene pues una restricción en el ancho de estos pulsos que deben ser mayores que este tiempo sumado al de propagación de los registros de corrimiento y otros gates en acción. El valor escogido resultó ser 180 μ seg.

Cuando DXY está "bajo" (cero lógico) entonces IC1 dejará pasar directamente y para cualquier fase de Reloj el dato del bit ϕ hacia IC15, este último se disparará en cada dato, obteniéndose en OW ϕ una reproducción del tren de datos de la entrada bit ϕ .

En la salida OW8 a su vez se reproducirá la entrada IC13 que corresponde al bit ϕ del contador generador del barrido interno (véase Fig. 11). En conclusión cuando DXY es cero se tiene el modo Y vs Barrido Interno.

Resulta evidente que en el modo Y-X se tiene una limitación de 512 datos y en el modo Y-Barrido Interno una de 1024 datos por la capacidad de la MDR. Esto se puede obviar utilizando otros modos de operación a explicarse posteriormente donde la limitación la da la memoria de la Computadora y no la MDR.

El esquema explicado se repite en forma similar para el resto de bits que conforman una palabra de 8 bits.

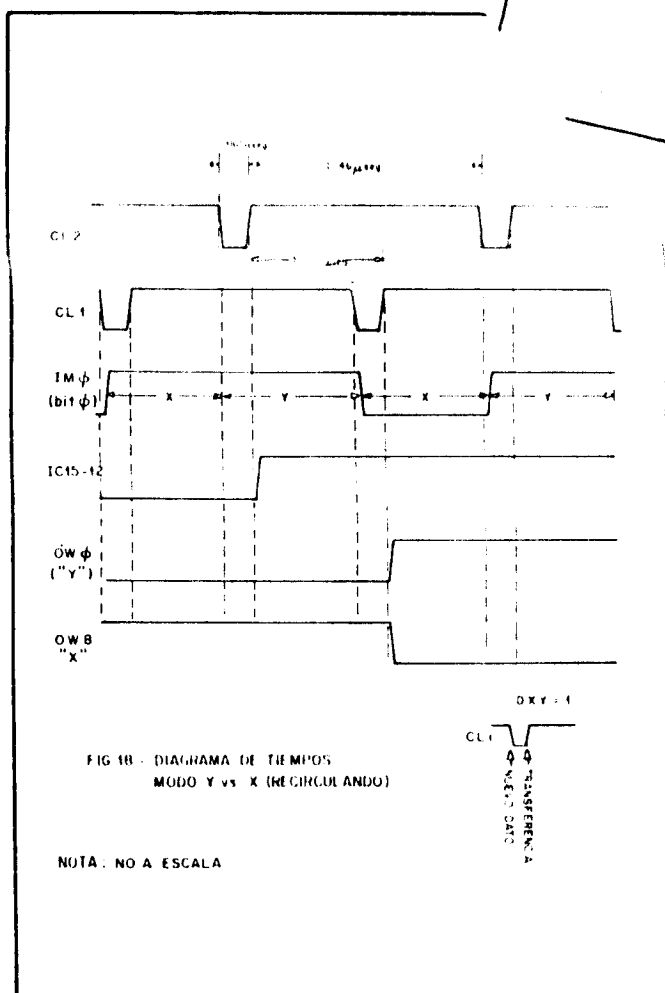
3.3.5 Controlador

Es la tarjeta más importante, usa wire wrap en su construcción y provee de las señales y comandos adecuados a todas las demás tarjetas, teniendo además que entenderse directamente con el canal de la Computadora e Interfase. El circuito está representado en la Fig. 19.

A. Recepción de Comandos:

Se inicia cuando CDH (normalmente en 1) cae a cero. IC17 la invierte; si TUIS+ está en 1 (unidad seleccionada), se libera el FF de IC6 (estaba resetado) y se dispara el monostable IC8 en el ángulo superior izquierdo del diagrama.

El pulso de este monostable tiene un ancho de 250 nseg. y deja

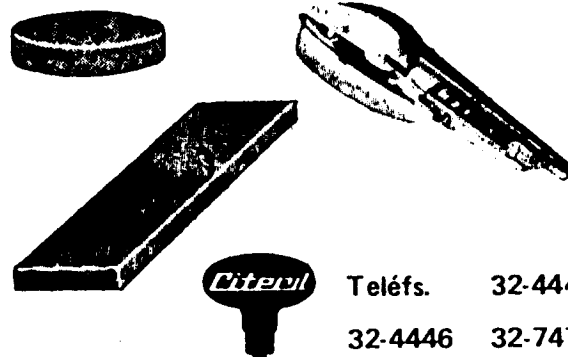


LA ILUMINACION ADECUADA

PARA: URBANIZACIONES, FABRICAS
OFICINAS, ETC.

LA ENCONTRARA EN:

Citecil



Teléfs. 32-4440
32-4446 32-7470

URB. SANTA ROSA - CALLE "J"
Mza. N - Lotes 10 y 11 - ATE

COMPANIA TECNICA DE
ILUMINACION S.A.

NOTES:
1. IC1-IC10: 74LS00
2. IC11-IC12: 74LS04
3. IC13-IC14: 74LS01
4. IC15-IC16: 74LS02
5. IC17-IC18: 74LS03
6. IC19-IC20: 74LS05
7. IC21-IC22: 74LS06
8. IC23-IC24: 74LS07
9. IC25-IC26: 74LS08
10. IC27-IC28: 74LS09
11. IC29-IC30: 74LS10
12. IC31-IC32: 74LS11
13. IC33-IC34: 74LS12
14. IC35-IC36: 74LS13
15. IC37-IC38: 74LS14
16. IC39-IC40: 74LS15
17. IC41-IC42: 74LS16
18. IC43-IC44: 74LS17
19. IC45-IC46: 74LS18
20. IC47-IC48: 74LS19
21. IC49-IC50: 74LS20
22. IC51-IC52: 74LS21
23. IC53-IC54: 74LS22
24. IC55-IC56: 74LS23
25. IC57-IC58: 74LS24
26. IC59-IC60: 74LS25
27. IC61-IC62: 74LS26
28. IC63-IC64: 74LS27
29. IC65-IC66: 74LS28
30. IC67-IC68: 74LS29
31. IC69-IC70: 74LS30
32. IC71-IC72: 74LS31
33. IC73-IC74: 74LS32
34. IC75-IC76: 74LS33
35. IC77-IC78: 74LS34
36. IC79-IC80: 74LS35
37. IC81-IC82: 74LS36
38. IC83-IC84: 74LS37
39. IC85-IC86: 74LS38
40. IC87-IC88: 74LS39
41. IC89-IC90: 74LS40
42. IC91-IC92: 74LS41
43. IC93-IC94: 74LS42
44. IC95-IC96: 74LS43
45. IC97-IC98: 74LS44
46. IC99-IC100: 74LS45
47. IC101-IC102: 74LS46
48. IC103-IC104: 74LS47
49. IC105-IC106: 74LS48
50. IC107-IC108: 74LS49
51. IC109-IC110: 74LS50
52. IC111-IC112: 74LS51
53. IC113-IC114: 74LS52
54. IC115-IC116: 74LS53
55. IC117-IC118: 74LS54
56. IC119-IC120: 74LS55
57. IC121-IC122: 74LS56
58. IC123-IC124: 74LS57
59. IC125-IC126: 74LS58
60. IC127-IC128: 74LS59
61. IC129-IC130: 74LS60
62. IC131-IC132: 74LS61
63. IC133-IC134: 74LS62
64. IC135-IC136: 74LS63
65. IC137-IC138: 74LS64
66. IC139-IC140: 74LS65
67. IC141-IC142: 74LS66
68. IC143-IC144: 74LS67
69. IC145-IC146: 74LS68
70. IC147-IC148: 74LS69
71. IC149-IC150: 74LS70
72. IC151-IC152: 74LS71
73. IC153-IC154: 74LS72
74. IC155-IC156: 74LS73
75. IC157-IC158: 74LS74
76. IC159-IC160: 74LS75
77. IC161-IC162: 74LS76
78. IC163-IC164: 74LS77
79. IC165-IC166: 74LS78
80. IC167-IC168: 74LS79
81. IC169-IC170: 74LS80
82. IC171-IC172: 74LS81
83. IC173-IC174: 74LS82
84. IC175-IC176: 74LS83
85. IC177-IC178: 74LS84
86. IC179-IC180: 74LS85
87. IC181-IC182: 74LS86
88. IC183-IC184: 74LS87
89. IC185-IC186: 74LS88
90. IC187-IC188: 74LS89
91. IC189-IC190: 74LS90
92. IC191-IC192: 74LS91
93. IC193-IC194: 74LS92
94. IC195-IC196: 74LS93
95. IC197-IC198: 74LS94
96. IC199-IC200: 74LS95
97. IC201-IC202: 74LS96
98. IC203-IC204: 74LS97
99. IC205-IC206: 74LS98
100. IC207-IC208: 74LS99
101. IC209-IC210: 74LS100
102. IC211-IC212: 74LS101
103. IC213-IC214: 74LS102
104. IC215-IC216: 74LS103
105. IC217-IC218: 74LS104
106. IC219-IC220: 74LS105
107. IC221-IC222: 74LS106
108. IC223-IC224: 74LS107
109. IC225-IC226: 74LS108
110. IC227-IC228: 74LS109
111. IC229-IC230: 74LS110
112. IC231-IC232: 74LS111
113. IC233-IC234: 74LS112
114. IC235-IC236: 74LS113
115. IC237-IC238: 74LS114
116. IC239-IC240: 74LS115
117. IC241-IC242: 74LS116
118. IC243-IC244: 74LS117
119. IC245-IC246: 74LS118
120. IC247-IC248: 74LS119
121. IC249-IC250: 74LS120
122. IC251-IC252: 74LS121
123. IC253-IC254: 74LS122
124. IC255-IC256: 74LS123
125. IC257-IC258: 74LS124
126. IC259-IC260: 74LS125
127. IC261-IC262: 74LS126
128. IC263-IC264: 74LS127
129. IC265-IC266: 74LS128
130. IC267-IC268: 74LS129
131. IC269-IC270: 74LS130
132. IC271-IC272: 74LS131
133. IC273-IC274: 74LS132
134. IC275-IC276: 74LS133
135. IC277-IC278: 74LS134
136. IC279-IC280: 74LS135
137. IC281-IC282: 74LS136
138. IC283-IC284: 74LS137
139. IC285-IC286: 74LS138
140. IC287-IC288: 74LS139
141. IC289-IC290: 74LS140
142. IC291-IC292: 74LS141
143. IC293-IC294: 74LS142
144. IC295-IC296: 74LS143
145. IC297-IC298: 74LS144
146. IC299-IC300: 74LS145
147. IC301-IC302: 74LS146
148. IC303-IC304: 74LS147
149. IC305-IC306: 74LS148
150. IC307-IC308: 74LS149
151. IC309-IC310: 74LS150
152. IC311-IC312: 74LS151
153. IC313-IC314: 74LS152
154. IC315-IC316: 74LS153
155. IC317-IC318: 74LS154
156. IC319-IC320: 74LS155
157. IC321-IC322: 74LS156
158. IC323-IC324: 74LS157
159. IC325-IC326: 74LS158
160. IC327-IC328: 74LS159
161. IC329-IC330: 74LS160
162. IC331-IC332: 74LS161
163. IC333-IC334: 74LS162
164. IC335-IC336: 74LS163
165. IC337-IC338: 74LS164
166. IC339-IC340: 74LS165
167. IC341-IC342: 74LS166
168. IC343-IC344: 74LS167
169. IC345-IC346: 74LS168
170. IC347-IC348: 74LS169
171. IC349-IC350: 74LS170
172. IC351-IC352: 74LS171
173. IC353-IC354: 74LS172
174. IC355-IC356: 74LS173
175. IC357-IC358: 74LS174
176. IC359-IC360: 74LS175
177. IC361-IC362: 74LS176
178. IC363-IC364: 74LS177
179. IC365-IC366: 74LS178
180. IC367-IC368: 74LS179
181. IC369-IC370: 74LS180
182. IC371-IC372: 74LS181
183. IC373-IC374: 74LS182
184. IC375-IC376: 74LS183
185. IC377-IC378: 74LS184
186. IC379-IC380: 74LS185
187. IC381-IC382: 74LS186
188. IC383-IC384: 74LS187
189. IC385-IC386: 74LS188
190. IC387-IC388: 74LS189
191. IC389-IC390: 74LS190
192. IC391-IC392: 74LS191
193. IC393-IC394: 74LS192
194. IC395-IC396: 74LS193
195. IC397-IC398: 74LS194
196. IC399-IC400: 74LS195
197. IC401-IC402: 74LS196
198. IC403-IC404: 74LS197
199. IC405-IC406: 74LS198
200. IC407-IC408: 74LS199
201. IC409-IC410: 74LS200
202. IC411-IC412: 74LS201
203. IC413-IC414: 74LS202
204. IC415-IC416: 74LS203
205. IC417-IC418: 74LS204
206. IC419-IC420: 74LS205
207. IC421-IC422: 74LS206
208. IC423-IC424: 74LS207
209. IC425-IC426: 74LS208
210. IC427-IC428: 74LS209
211. IC429-IC430: 74LS210
212. IC431-IC432: 74LS211
213. IC433-IC434: 74LS212
214. IC435-IC436: 74LS213
215. IC437-IC438: 74LS214
216. IC439-IC440: 74LS215
217. IC441-IC442: 74LS216
218. IC443-IC444: 74LS217
219. IC445-IC446: 74LS218
220. IC447-IC448: 74LS219
221. IC449-IC450: 74LS220
222. IC451-IC452: 74LS221
223. IC453-IC454: 74LS222
224. IC455-IC456: 74LS223
225. IC457-IC458: 74LS224
226. IC459-IC460: 74LS225
227. IC461-IC462: 74LS226
228. IC463-IC464: 74LS227
229. IC465-IC466: 74LS228
230. IC467-IC468: 74LS229
231. IC469-IC470: 74LS230
232. IC471-IC472: 74LS231
233. IC473-IC474: 74LS232
234. IC475-IC476: 74LS233
235. IC477-IC478: 74LS234
236. IC479-IC480: 74LS235
237. IC481-IC482: 74LS236
238. IC483-IC484: 74LS237
239. IC485-IC486: 74LS238
240. IC487-IC488: 74LS239
241. IC489-IC490: 74LS240
242. IC491-IC492: 74LS241
243. IC493-IC494: 74LS242
244. IC495-IC496: 74LS243
245. IC497-IC498: 74LS244
246. IC499-IC500: 74LS245
247. IC501-IC502: 74LS246
248. IC503-IC504: 74LS247
249. IC505-IC506: 74LS248
250. IC507-IC508: 74LS249
251. IC509-IC510: 74LS250
252. IC511-IC512: 74LS251
253. IC513-IC514: 74LS252
254. IC515-IC516: 74LS253
255. IC517-IC518: 74LS254
256. IC519-IC520: 74LS255
257. IC521-IC522: 74LS256
258. IC523-IC524: 74LS257
259. IC525-IC526: 74LS258
260. IC527-IC528: 74LS259
261. IC529-IC530: 74LS260
262. IC531-IC532: 74LS261
263. IC533-IC534: 74LS262
264. IC535-IC536: 74LS263
265. IC537-IC538: 74LS264
266. IC539-IC540: 74LS265
267. IC541-IC542: 74LS266
268. IC543-IC544: 74LS267
269. IC545-IC546: 74LS268
270. IC547-IC548: 74LS269
271. IC549-IC550: 74LS270
272. IC551-IC552: 74LS271
273. IC553-IC554: 74LS272
274. IC555-IC556: 74LS273
275. IC557-IC558: 74LS274
276. IC559-IC560: 74LS275
277. IC561-IC562: 74LS276
278. IC563-IC564: 74LS277
279. IC565-IC566: 74LS278
280. IC567-IC568: 74LS279
281. IC569-IC570: 74LS280
282. IC571-IC572: 74LS281
283. IC573-IC574: 74LS282
284. IC575-IC576: 74LS283
285. IC577-IC578: 74LS284
286. IC579-IC580: 74LS285
287. IC581-IC582: 74LS286
288. IC583-IC584: 74LS287
289. IC585-IC586: 74LS288
290. IC587-IC588: 74LS289
291. IC589-IC590: 74LS290
292. IC591-IC592: 74LS291
293. IC593-IC594: 74LS292
294. IC595-IC596: 74LS293
295. IC597-IC598: 74LS294
296. IC599-IC600: 74LS295
297. IC601-IC602: 74LS296
298. IC603-IC604: 74LS297
299. IC605-IC606: 74LS298
300. IC607-IC608: 74LS299
301. IC609-IC610: 74LS300
302. IC611-IC612: 74LS301
303. IC613-IC614: 74LS302
304. IC615-IC616: 74LS303
305. IC617-IC618: 74LS304
306. IC619-IC620: 74LS305
307. IC621-IC622: 74LS306
308. IC623-IC624: 74LS307
309. IC625-IC626: 74LS308
310. IC627-IC628: 74LS309
311. IC629-IC630: 74LS310
312. IC631-IC632: 74LS311
313. IC633-IC634: 74LS312
314. IC635-IC636: 74LS313
315. IC637-IC638: 74LS314
316. IC639-IC640: 74LS315
317. IC641-IC642: 74LS316
318. IC643-IC644: 74LS317
319. IC645-IC646: 74LS318
320. IC647-IC648: 74LS319
321. IC649-IC650: 74LS320
322. IC651-IC652: 74LS321
323. IC653-IC654: 74LS322
324. IC655-IC656: 74LS323
325. IC657-IC658: 74LS324
326. IC659-IC660: 74LS325
327. IC661-IC662: 74LS326
328. IC663-IC664: 74LS327
329. IC665-IC666: 74LS328
330. IC667-IC668: 74LS329
331. IC669-IC670: 74LS330
332. IC671-IC672: 74LS331
333. IC673-IC674: 74LS332
334. IC675-IC676: 74LS333
335. IC677-IC678: 74LS334
336. IC679-IC680: 74LS335
337. IC681-IC682: 74LS336
338. IC683-IC684: 74LS337
339. IC685-IC686: 74LS338
340. IC687-IC688: 74LS339
341. IC689-IC690: 74LS340
342. IC691-IC692: 74LS341
343. IC693-IC694: 74LS342
344. IC695-IC696: 74LS343
345. IC697-IC698: 74LS344
346. IC699-IC700: 74LS345
347. IC701-IC702: 74LS346
348. IC703-IC704: 74LS347
349. IC705-IC706: 74LS348
350. IC707-IC708: 74LS349
351. IC709-IC710: 74LS350
352. IC711-IC712: 74LS351
353. IC713-IC714: 74LS352
354. IC715-IC716: 74LS353
355. IC717-IC718: 74LS354
356. IC719-IC720: 74LS355
357. IC721-IC722: 74LS356
358. IC723-IC724: 74LS357
359. IC725-IC726: 74LS358
360. IC727-IC728: 74LS359
361. IC729-IC730: 74LS360
362. IC731-IC732: 74LS361
363. IC733-IC734: 74LS362
364. IC735-IC736: 74LS363
365. IC737-IC738: 74LS364
366. IC739-IC740: 74LS365
367. IC741-IC742: 74LS366
368. IC743-IC744: 74LS367
369. IC745-IC746: 74LS368
370. IC747-IC748: 74LS369
371. IC749-IC750: 74LS370
372. IC751-IC752: 74LS371
373. IC753-IC754: 74LS372
374. IC755-IC756: 74LS373
375. IC757-IC758: 74LS374
376. IC759-IC760: 74LS375
377. IC761-IC762: 74LS376
378. IC763-IC764: 74LS377
379. IC765-IC766: 74LS378
380. IC767-IC768: 74LS379
381. IC769-IC770: 74LS380
382. IC771-IC772: 74LS381
383. IC773-IC774: 74LS382
384. IC775-IC776: 74LS383
385. IC777-IC778: 74LS384
386. IC779-IC780: 74LS385
387. IC781-IC782: 74LS386
388. IC783-IC784: 74LS387
389. IC785-IC786: 74LS388
390. IC787-IC788: 74LS389
391. IC789-IC790: 74LS390
392. IC791-IC792: 74LS391
393. IC793-IC794: 74LS392
394. IC795-IC796: 74LS393
395. IC797-IC798: 74LS394
396. IC799-IC800: 74LS395
397. IC801-IC802: 74LS396
398. IC803-IC804: 74LS397
399. IC805-IC806: 74LS398
400. IC807-IC808: 74LS399
401. IC809-IC810: 74LS400
402. IC811-IC812: 74LS401
403. IC813-IC814: 74LS402
404. IC815-IC816: 74LS403
405. IC817-IC818: 74LS404
406. IC819-IC820: 74LS405
407. IC821-IC822: 74LS406
408. IC823-IC824: 74LS407
409. IC825-IC826: 74LS408
410. IC827-IC828: 74LS409
411. IC829-IC830: 74LS410
412. IC831-IC832: 74LS411
413. IC833-IC834: 74LS412
414. IC835-IC836: 74LS413
415. IC837-IC838: 74LS414
416. IC839-IC840: 74LS415
417. IC841-IC842: 74LS416
418. IC843-IC844: 74LS417
419. IC845-IC846: 74LS418
420. IC847-IC848: 74LS419
421. IC849-IC850: 74LS420
422. IC851-IC852: 74LS421
423. IC853-IC854: 74LS422
424. IC855-IC856: 74LS423
425. IC857-IC858: 74LS424
426. IC859-IC860: 74LS425
427. IC861-IC862: 74LS426
428. IC863-IC864: 74LS427
429. IC865-IC866: 74LS428
430. IC867-IC868: 74LS429
431. IC869-IC870: 74LS430
432. IC871-IC872: 74LS431
433. IC873-IC874: 74LS432
434. IC875-IC876: 74LS433
435. IC877-IC878: 74LS434
436. IC879-IC880: 74LS435
437. IC881-IC882: 74LS436
438. IC883-IC884: 74LS437
439. IC885-IC886: 74LS438
440. IC887-IC888: 74LS439
441. IC889-IC890: 74LS440
442. IC891-IC892: 74LS441
443. IC893-IC894: 74LS442
444. IC895-IC896: 74LS443
445. IC897-IC898: 74LS444
446. IC899-IC900: 74LS445
447. IC901-IC902: 74LS446
448. IC903-IC904: 74LS447
449. IC905-IC906: 74LS448
450. IC907-IC908: 74LS449
451. IC909-IC910: 74LS450
452. IC911-IC912: 74LS451
453. IC913-IC914: 74LS452
454. IC915-IC916: 74LS453
455. IC917-IC918: 74LS454
456. IC919-IC920: 74LS455
457. IC921-IC922: 74LS456
458. IC923-IC924: 74LS457
459. IC925-IC926: 74LS458
460. IC927-IC928: 74LS459
461. IC929-IC930: 74LS460
462. IC931-IC932: 74LS461
463. IC933-IC934: 74LS462
464. IC935-IC936: 74LS463
465. IC937-IC938: 74LS464
466. IC939-IC940: 74LS465
467. IC941-IC942: 74LS466
468. IC943-IC944: 74LS467
469. IC945-IC946: 74LS468
470. IC947-IC948: 74LS469
471. IC949-IC950: 74LS470
472. IC951-IC952: 74LS471
473. IC953-IC954: 74LS472
474. IC955-IC956: 74LS473
475. IC957-IC958: 74LS474
476. IC959-IC960: 74LS475
477. IC961-IC962: 74LS476
478. IC963-IC964: 74LS477
479. IC965-IC966: 74LS478
480. IC967-IC968: 74LS479
481. IC969-IC970: 74LS480
482. IC971-IC972: 74LS481
483. IC973-IC974: 74LS482
484. IC975-IC976: 74LS483
485. IC977-IC978: 74LS484
486. IC979-IC980: 74LS485
487. IC981-IC982: 74LS486
488. IC983-IC984: 74LS487
489. IC985-IC986: 74LS488
490. IC987-IC988: 74LS489
491. IC989-IC990: 74LS490
492. IC991-IC992: 74LS491
493. IC993-IC994: 74LS492
494. IC995-IC996: 74LS493
495. IC997-IC998: 74LS494
496. IC999-IC1000: 74LS495
500. IC1001-IC1002: 74LS496
501. IC1003-IC1004: 74LS497
502. IC1005-IC1006: 74LS498
503. IC1007-IC1008: 74LS499
504. IC1009-IC1010: 74LS500
505. IC1011-IC1012: 74LS501
506. IC1013-IC1014: 74LS502
507. IC1015-IC1016: 74LS503
508. IC1017-IC1018: 74LS504
509. IC1019-IC1020: 74LS505
510. IC1021-IC1022: 74LS506
511. IC1023-IC1024: 74LS507
512. IC1025-IC1026: 74LS508
513. IC1027-IC1028: 74LS509
514. IC1029-IC1030: 74LS510
515. IC1031-IC1032: 74LS511
516. IC1033-IC1034: 74LS512
517. IC1035-IC1036: 74LS513
518. IC1037-IC1038: 74LS514
519. IC1039-IC1040: 74LS515
520. IC1041-IC1042: 74LS516
521. IC1043-IC1044: 74LS517
522. IC1045-IC1046: 74LS518
523. IC1047-IC1048: 74LS519
524. IC1049-IC1050: 74LS520
525. IC1051-IC1052: 74LS521
526. IC1053-IC1054: 74LS522
527. IC1055-IC1056: 74LS523
528. IC1057-IC1058: 74LS524
529. IC1059-IC1060: 74LS525
530. IC1061-IC1062: 74LS526
531. IC1063-IC1064: 74LS527
532. IC1065-IC1066: 74LS528
533. IC1067-IC1068: 74LS529
534. IC1069-IC1070: 74LS530
535. IC1071-IC1072: 74LS531
536. IC1073-IC1074: 74LS532
537. IC1075-IC1076: 74LS533
538. IC1077-IC1078: 74LS534
539. IC1079-IC1080: 74LS535
540. IC1081-IC1082: 74LS536
541. IC1083-IC1084: 74LS537
542. IC1085-IC1086: 74LS538
543. IC1087-IC1088: 74LS539
544. IC1089-IC1090: 74LS540
545. IC1091-IC1092: 74LS541
546. IC1093-IC1094: 74LS542
547. IC1095-IC1096: 74LS543
5

pasar las señales de las líneas de comandos (LRC, SIGN, DXY, CLOCK, 1024/NO) que entran a los NAND de IC14 e IC24 y son almacenados en los FFs

IC9, IC10 e IC11. Este mismo pulso invierte la salida del FF IC6 a "alto" (1), señal que es usada por el primer latch (pequeño) formado por gates de IC21 e IC19 para responder mediante la línea DACP+ al canal que el comando ha sido aceptado.

Cuando el canal sensa la respuesta (DACP+) regresa CDH a su nivel normal (alto) con lo que el latch y el FF de IC6 se resetean, es decir retoman sus valores normales.

El diagrama de tiempos se muestra en la Fig. 20.

NOTA: DACP+ equivale a ODACP+ (Apéndice).

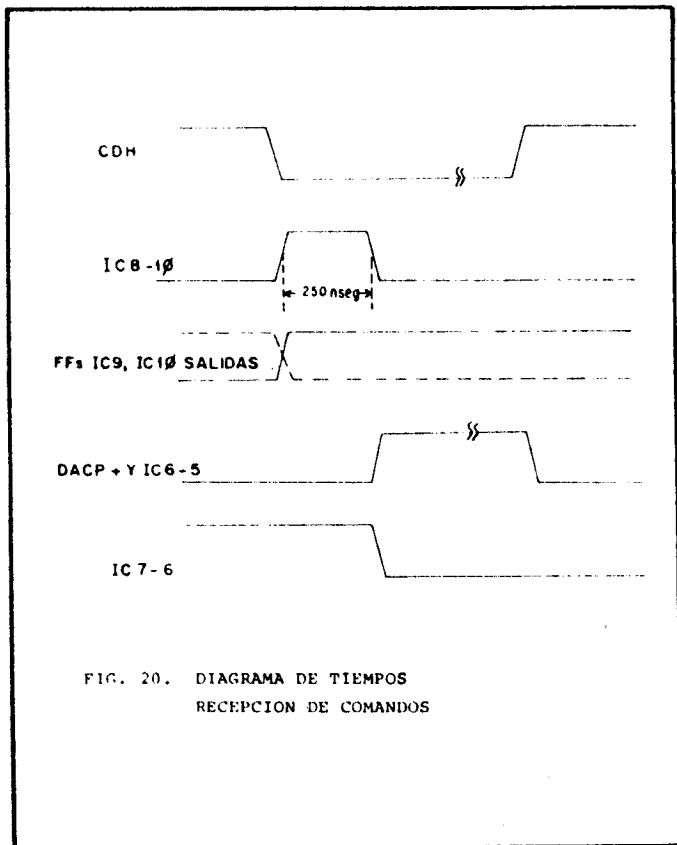


FIG. 20. DIAGRAMA DE TIEMPOS
RECEPCION DE COMANDOS

El significado de los comandos es como sigue:

- LRC (Load Recirculante). Si está "bajo" indica carga de nuevos datos en oposición a una recirculación (alto).
- SIGN Con 8 bits por dato se pueden tener dos rangos de trabajo. Uno positivo comprendido entre 0-256 (bajo) y el otro ± 127 con negativos en complemento 2 (alto).
- DXY Si el gráfico es Y-X ésta señal estará "alto" en oposición a Y-Barrido Interno (bajo).
- CLK Se disponen de dos Relojes de 2 MHz y 45 MHz. Este último es apropiado para la recirculación (alto) mientras que el primero para una carga rápida de nuevos datos (bajo).
- 1024/NO Si esta línea está "alta" se contará automáticamente el número de datos que ingresan y llegada la cifra de 1024 se producirá una recirculación, así mismo que pasará a trabajar con el Reloj de 45 MHz. Si está "baja", no se producirá ninguna acción especial.

La Figura 21 muestra la palabra de comandos.

Después de ser invertidos y almacenados en los correspondientes FFs, nos valemos de estas señales para decidir acciones o en general guiar el proceso de carga y posterior recirculación de datos de un modo que se explica a continuación.

- B. Recepción de Datos:
Las líneas de datos en (Bit 0 a Bit 6) se dirigen hacia la MDR salvo el Bit 7 ó de signo que entra a esta tarjeta.

La transferencia de un dato se inicia cuando ODH normalmente "alto" pasa a "bajo". Referirse a la Fig. 22 para los siguientes párrafos.

Para esto, antes tiene que haberse recibido los comandos apro-

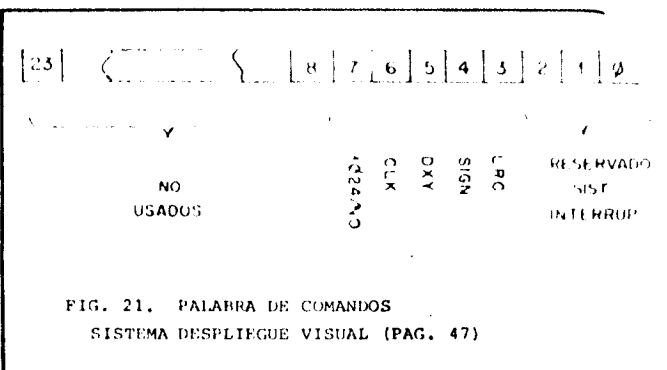


FIG. 21. PALABRA DE COMANDOS
SISTEMA DESPLIEGUE VISUAL (PAG. 47)

piados que preparen la transferencia. Así la recepción de un comando implica inicializar el contador formado por IC1, IC2 e IC3 a cero, también clarificar el FF de IC7 en la parte inferior derecha (Fig. 20). Esto último se hace para que la carga de datos se inicie con CL1 a manera de sincronización, así posteriormente y sin errores podremos distinguir un dato Y de un X.

El comando recibido por IA42 selecciona el reloj de 2 MHz para una carga rápida de datos. La señal ODH es comparada en IC18 (salida 8) con TUIS+ (unidad seleccionada) y con el comando de carga (IC9-9 en 1 para carga). Si la orden es de carga y hay un dato esperando, las entradas J y K del FF de IC7 (patas 1 y 4) toman los valores 1 y 0 respectivamente. El reloj de este FF es IOSCL ó sea 2 MHz y con la primera transición negativa IC7-2 ($\bar{Q}$) pasará de 1 a 0 con lo que IC21-11 permite el acceso del reloj a IC8 a través de IC12. Referirse a la Fig. 22 para el diagrama de tiempos.

La aparición de un pulso de Reloj (transición negativa) a la salida de IC12 dispara a IC8, monostable con un ancho de pulso de 180 nseg. El pulso del monostable se transmitirá invertido, alternativamente a las salidas CL1 y CL2 generando las dos fases de Reloj usadas en otras tarjetas (Fig. 15).

La transición negativa del pulso en IC8-6 dispara a su vez a IC26, otro monostable con un ancho de 2 μ seg, que inhibe durante este tiempo el paso del reloj hacia IC8, permitiendo se complete totalmente el ciclo de la transferencia.

La fase de reloj sea que salga por CL1 ó CL2 va hacia la tarjeta del Adaptador de Reloj y Control de Flujo; precisamente en esta última se genera ODR (Output Data Received) señal que en su transición negativa invierte a IC6-3 (normalmente en cero) y a través del segundo latch produce la respuesta DACP+ a la computadora acerca de la aceptación del dato. Este mismo latch retorna a 1 a IC7-2 clarificado el FF con lo cual queda inhibido también el pase de IOSCL a IC8 hasta un nuevo ciclo (Latch formado por IC21, IC19).

El ciclo se completa cuando el canal retorna ODH a la normalidad, con lo que el latch (DACP+) y IC6-3 retoman sus valores normales.

La Fig. 22 debe suplir cualquier deficiencia en la explicación de la secuencia de recepción de datos.

- c. Contador:
Formado por IC1 a IC3, recibe los pulsos sea de CL1 ó CL2 y los cuenta hasta llegar a 1024 partiendo de la inicialización en cero después de la recepción de un comando. Sus salidas pasan a la tarjeta de Control de flujo de salida (véase pag. 23 y Fig. 11) para la generación de barrido.
Cuando existe la condición de carga y el comando 1024/NO fue puesto, la cuenta de datos recepcionados partiendo de cero se lleva a cabo con este contador. Al arribar al número 1023 (todos los FFs de IC1 a IC3 con salida 1 excepto el que está más a la derecha), se preparan las condiciones para que recibido el próximo pulso de reloj automáticamente se reinicie la recirculación. Así con la transición negativa en IW21 (CLS) y transcurrido un tiempo de propagación (el de 10 FFs) el último FF pasa de cero a uno con lo que IC13-8 efectúa una transición opuesta (uno a cero) clarificando IC9-9, IC10-9 y preseteando IC11-9. Esto equivale a un comando de recirculación, reloj de 45 KHz y resetear el comando 1024/NO.
Con el siguiente pulso de reloj (primero de recirculación) IC11-5 pasa de 1 a 0 e IC13-8 regresa a 1 con lo que las condiciones de recirculación se hacen permanentes.
Si 1024/NO no hubiera estado puesto, IC13-8 siempre se mantiene en 1 no produciendo ningún efecto especial.
- D. Signo:
Según el estado de IC9-5 se indicará el rango de los números a mostrarse en el Display esto es 0-256 ó ± 127 en complemento 2 para los negativos.
En el primer caso dejamos pasar el bit 7 con su valor, esto es IC13-2 se conecta a bit 7 (IA44) y la salida 0z7 será simplemente bit 7.

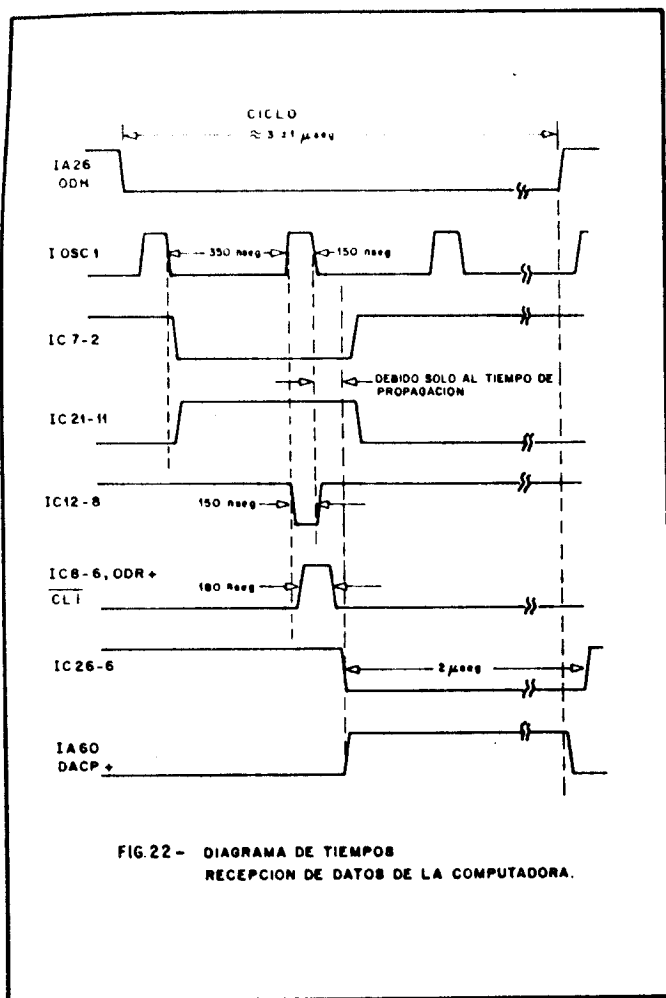


FIG 22- DIAGRAMA DE TIEMPOS
RECEPCIÓN DE DATOS DE LA COMPUTADORA.

En el segundo caso, 0x7 será bit 7 por lo que IC13-5 se conecta a bit 7 (IA46).
En el rango 0-256 no debe haber dificultad en comprender el porqué del procedimiento seguido. Para ± 127 si puede requerirse dar mas detalles refiriéndonos a la Tabla 2.
En la primera columna está el número decimal, en la segunda su representación binaria en 2' y en la tercera igual a la segunda pero con el bit 7 de signo complementado.
Claramente se ve que si los bits de la columna 2 entran a un DAC, éste tomaría a los negativos como que fueran mayores y en consecuencia la tensión análoga de salida no estaría de acuerdo con la magnitud real de los números. En cambio si los bits de entrada al DAC fueran los de la columna 3, salvo un bias general el orden de magnitud sería el adecuado correspondiendo una salida análoga de 0 volt. a -127 y el máximo (10 volt) a +127.
Lo que se ha hecho en realidad es sumar un "bias" a todos los números.

	Binario en 2'								Binario (bit 7)							
Número	B7	B6	B5	B4	B3	B2	B1	B0	B7	B6	B5	B4	B3	B2	B1	B0
127	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
...	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
...	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
-1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
+1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
+127	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

3-3.6 Conversores Digital-Análogo

En la Fig. 23 se encuentra el esquema de esta tarjeta donde se han montado dos circuitos DAC híbridos, modelos CY2135 de 10 bits y fabricados por CYCON Inc.

Como todo DAC se tienen las entradas binarias y la salida análoga. Se observa a su vez controles de ajuste de 0 volt. y escala máxima (full scale) y alimentación DC que en este caso es de +15, -15 y 5 volt.

En esta misma tarjeta van montados los dos Relojes (45 KHz y 2 MHz) implementados a través de dos monostables realimentados (astables). La frecuencia se ajusta variando resistencias y condensadores según especificaciones del fabricante.

3-4 Programas de Control y Prueba

Se han implementado varias rutinas, unas estrictamente de control y otras para pruebas o diagnósticos del Sistema.

3-4.1 Rutinas de Control

Son las principales y por ende indispensables en el uso del Display.

Se dispone de 4 rutinas separadas en dos bloques:
Display XY o Y: En este caso se deben definir dos arreglos enteros de dimensiones 512 cada uno (o uno de dimensión 1024) que contengan los datos X-Y (o Y solamente).

Si se necesita graficar datos con control de ambas coordenadas (X-Y), el llamado será:

CALL DISPLY (ϕ IRANK, IY, IX, NUM).

Si el gráfico es Y vs. barrido generado internamente:

CALL DISPLY (1, IRANK, IY, NUM).

donde:

IRANK = $\begin{cases} \phi & \text{para números IX, IY entre } \phi \text{ a } 255 \\ 16 & \text{" " " IX, IY " -127a +127} \end{cases}$

IX, IY arreglos enteros de datos

NUM = número de puntos por graficarse con un máximo de 512 en X-Y y 1024 para Y solo.

NOTA: Los puntos no especificados son llenados con ceros y automáticamente se inicia una recirculación de los datos en la pantalla.

DAC X-Y o Y: En este caso se hace el gráfico punto por punto y por lo tanto no es necesario definir arreglos; sino que cada vez que se disponga de un nuevo dato se llama a la rutina apropiada.

Se usan dos rutinas: la primera que podría decirse de inicialización y la segunda la de los datos propiamente dicha.

CASO X, Y: Secuencia de llamado
CALL DAC (ϕ , IRANK)

una vez al comienzo y:
CALL DDATA (IY, IX)
por cada dato

CASO Y:
CALL DAC (1, IRANK)
una vez al comienzo
CALL DDATA (IY)
por cada dato

El tiempo máximo admisible entre dato y dato es de aproximadamente 2 mseg (unas 1000 instrucciones de Assembly, 80 Fortran). Si se sobrepasa este límite los puntos no quedarán grabados en la memoria recirculante dinámica y habrá errores en una posterior recirculación.

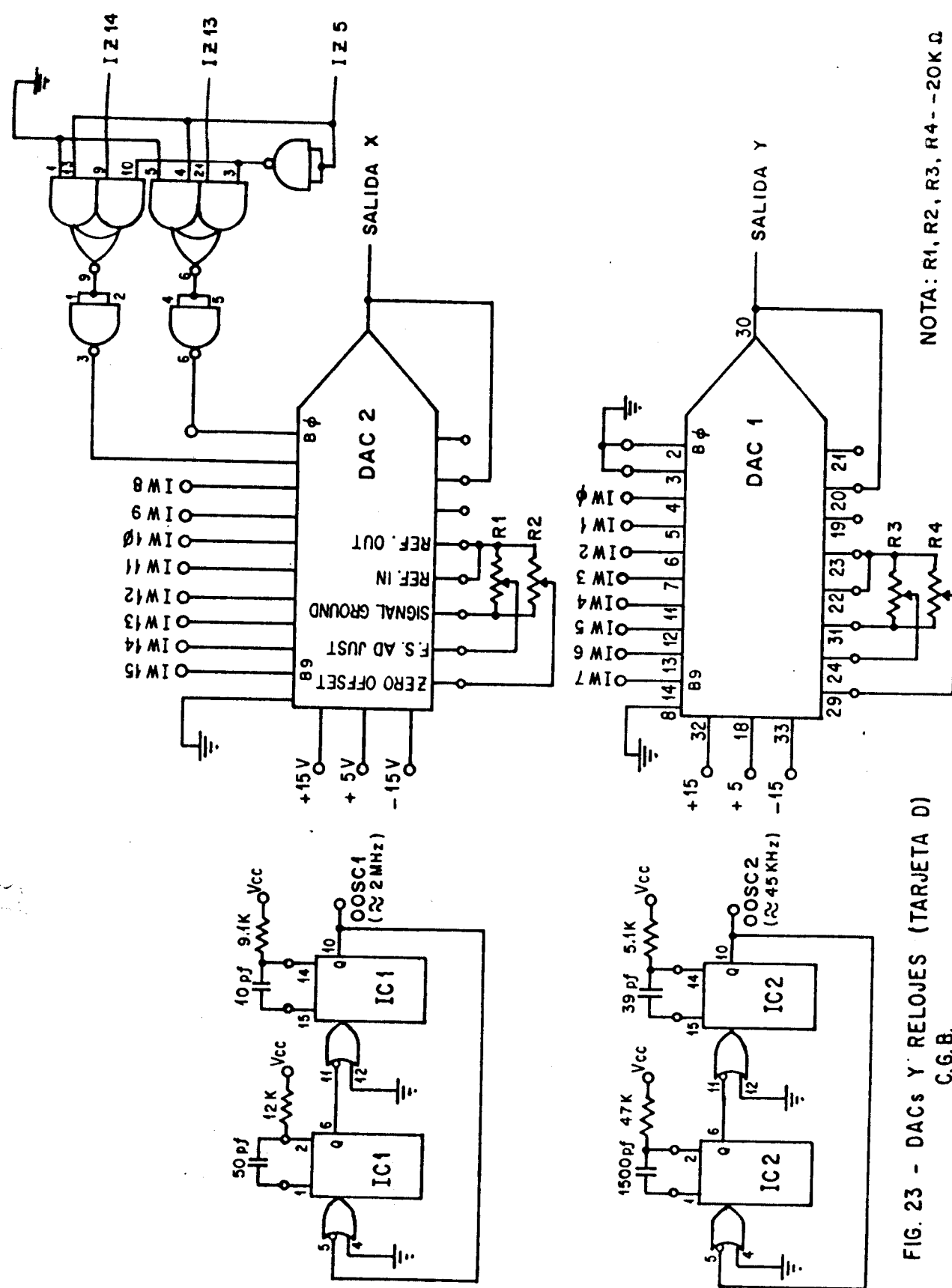
Nótese que ahora no hay limitación en cuanto al número de puntos de graficarse, en todo caso estos están dados por la memoria de la Computadora.

Recirculación: Para ser usado con el caso DAC X-Y o Y: de este modo, en cualquier momento se ordena la recirculación de los últimos datos (512 en X-Y o 1024 en Y).

CALL REC

El listado de estas rutinas implementadas en lenguaje Assembler aparece en las próximas páginas.

342 R Se
 nominad
 (Hecho u
 Ba:
 en 3-4.1 a
 de la DC6



NOTA: R1, R2, R3, R4 -- 20K Ω

FIG. 23 - DACs Y RELOJES (TARJETA D)
 C.G.B.

3-4.2 Rutinas de Prueba

Se han confeccionado varias, sin embargo la principal es la nominada "Diagnostic Test", cuyo listado está en páginas posteriores. (Hecho usando FORTRAN IV).

Básicamente este programa prueba los cuatro modos descritos en 3-4.1 aprovechando de los llamados "sense switches" en la consola de la DC6024/3 y de acuerdo a la siguiente Tabla

```

1  * DISPLAY SOFTWARE CONTROLLER
2  * FIRST VERSION CGB MAY/74
3  * CALLING MODE. SEE INSTRUCTION SHEET
4  *
5  * DISPLAY MODE
6  *
7  *
8  XEQV  XYDU, '0410
9  XDEF  DISPLAY, DIS
10 DIS   GAP 1 . BRING MODE ADDRESS
11       TMK 1 . MODE NUMBER ?
12       GAP 1
13       TME 1 . SIGN
14       SOK 1 . IS MODE - φ?
15       BOZ MODY . NO, THEN DISPLAY Y
16 MODXY GAP 1 . YES, THEN DISPLAY XY
17       TMK* 1, J . # OF PAIRS OF DATA
18       TOA '24 φ . XY COMMAND
19       AEA . SIGN COMMAND
20       OCW #XYDU
21       BNZ *-1
22       TME φ, J
23       AKI
24       AKE
25       AIM TX . X ADDRESS TO APPROPRIATE INST.
26       AEM TY . Y ADDRESS
27       TNI 1025
28       AKI
29       AKI
30       NKK . I= UNFILLED PLACES
31 TX     TMA φ, K
32       ODW #XYDU . X DATA TO REGISTER A
33       BNZ *-1
34 TY     TMA φ, K
35       ODW #XYDU . Y DATA TO REGISTER A
36       BNZ *-1
37       BWK TX
38 TZA    TZA
39 ZERO   BWI LOOP
40 RETURN  TMI TAMφK
41       TIM TX
42       TIM TY . INITILIZE FOR NEXT CALLING
43       TIM TTY
44       BUC 2, J . RETURN
45 LOOP    ODW #XYDU . FILL WITH ZERO
46       BNZ *-1
47       BUC ZERO
48 MODY    GAP 1 . BRING X ADDRESS
49       TMK* φ, J . #OF DAT
50       TOA '200 . COMMAND WORD
51       AEA . SIGN
52       OCW #XYDU
53       BNZ *-1
54       AKI
55       AIM TTY . INITIALIZE TMA INSTRUCTION
56       TNI 1φ25
57       AKI
58       NKK . LOOP INDEXES
59 TTY     TMA φ, K
60       ODW #XYDU . OUTPUT Y DATA
61       BNZ *-1
62       BWK TTY
63       SOJ 1
64       BUC TZA
65 TMAφK  DATA 'φ53φφφφφ
66       END

```

```

1  *
2  * DAC MODE AND RECIRCULATION
3  *
4  *
5  XDEF  DAC, DAC
6  XDEF  DDATA, DDATA
7  XDEF  REC, REC
8  DAC   GAP 1
9       TMK φ, I . BRING MODE NUMBER
10      GAP 1 . +OR, + AND - NUMBERS
11      TME φ, I
12      TEM SP . SIGN POINTER
13      TKM DMF . SFT DISPLAY MORE FLAG TO DACXY
14      CZK
15 MOD φ  BNZ MOD1 . MODE NUMBER ?
16      TOA 'φ4 φ . COMMAND WORD
17      AEA . PLUS SIGN COMMAND
18      OCW #XYDU
19      BNZ *-1
20 MOD1    TOA 'φφφ . INSIST IF BUSY
21      BUC φ, J . COMMAND WORD
22      AEA . RETURN
23      OCW #XYDU . SIGN
24      BNZ *-1
25      BUC φ, J . RETURN
26 DDATA  CZM DMF . XY OR Y MODE
27      BNZ YDATA
28 XDATA  GAP 1 . I (X), J (Y)
29      TMA φ, I . DISPLAY X
30      ODW #XYDU
31      BNZ *-1
32 YDATA  TMA* φ, J
33      ODW XYDU . DISPLAY Y
34      BNZ *-1
35      BUC 1, J
36 REC     TMK DMF . ASKING FOR XY OR Y
37      BOZ XY . DMF-φ THEN SKIP TO XY
38 Y       TOA '11 φ . NO, THEN Y COMMAND
39 RCW     TME SP . SIGN POINTER
40      AEA
41      OCW #XYDU
42      BNZ *-1
43      BUC φ, J . RETURN
44 XY       TOA '15 φ . XY COMMAND
45      BUC RCW
46 DMF     φ
47 SP      DATA φ
48      END

```

FRESA

FABRICACIONES
REPARACIONES
ELECTRICAS S.A.

REBOBINADO

- MOTORES
- ALTERNADORES
- TRANSFORMADORES
- MAQUINAS DE SOLDAR

FABRICACIONES

- TRANSFORMADORES DE POTENCIA Y MEDIDA
- SECCIONADORES UNIPOLARES

JORGE CHAVEZ 162 - BREÑA
Tel. 310390 - 310461

Tabla II

Modo	Switch 1	Switch 2	Switch 3	Switch 4
AUSA	OFF	OFF	OFF	ON
display Y	OFF	OFF	OFF	OFF
display XY	ON	OFF	OFF	OFF
AC XY	OFF	ON	OFF	OFF
AC Y	OFF	OFF	ON	OFF

Las figuras generadas en la pantalla son como en la Fig. 24.

DIAGNOSTIC TEST (FORTRAN IV)

MODO XY USA UNA ESPIRAL

MODO Y USA UN SINUSOIDE

```

DIMENSION IX (1024), IY (1024)
INTEGER X, Y, XYFLAG, YFLAG, S
DATA NX, PI/3.14159265/
DELT:(2.*PI)/1024.
DELP:(2.*PI)/8.
DELXY:(2.*PI)/512.
XYFLAG = 0
YFLAG = 0
PAUSE SETSW
CALL SSWTCH (1,S)
IF (S.EQ.1) GO TO 6
CALL SSWTCH (2,S)
IF (S.EQ.2) GO TO 2
XYFLAG = 1
GO TO 6
CALL SSWTCH (3,S)
IF (S.EQ.2) GO TO 18
YFLAG = 1
PHASE = 0
PHI = 0
DO 3 I = 1, 1024
IY(I) = 127.*SIN (PHI + PHASE)
PHI = PHI + DELT
IF (YFLAG.EQ.1) GO TO 4
PHASE = PHASE + DELP
CALL DISPLAY (1,16,IY, 1024)
IF (PHASE.GT.6.284) PHASE = 0
CALL SSWTCH (4,S)
IF (S.EQ.1) GO TO 8
GO TO 2
CALL DAC (1,16)
DO 46 K = 1, 1024
DO 41 II = 1, NX
CONTINUE
Y = IY(K)
CALL DDATA (Y)
CONTINUE
CALL SSWTCH (4,S)
CALL REC
IF (S.EQ.1) GO TO 8
GO TO 4
SE = 0
DO 7 I = 1, 512
PHI = 0
IY(I) = 20.*PHI*COS(PHI+PHASE)
IX(I) = 20.*PHI*SIN(PHI+PHASE)
PHI = PHI + DELXY
IF (XYFLAG.EQ.1) GO TO 10
PHASE = PHASE + DELP
CALL DISPLAY (0,16, IY, IX, 512)
IF (PHASE.GT.6.284) PHASE = 0
CALL SSWTCH (4,S)
IF (S.EQ.1) GO TO 8
GO TO 59
CALL DAC (0,16)
DO 11 K = 1, 512
DO 105 KMK = 1, NX
CONTINUE
X = IX (K)
Y = IY (K)
CALL DDATA (Y,X)
CONTINUE
CALL SSWTCH (4,S)
CALL REC
IF (S.EQ.1) GO TO 8
GO TO 10
END$

```

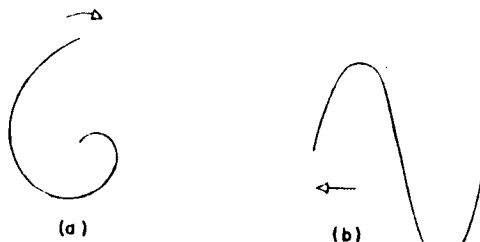


Fig.24 IMAGENES DE PRUEBA

Estas permanecen fijas en la alternativa "DAC" y se mueven según las flechas en "DISPLAY".

3-5 Montaje de Tarjetas y Equipo

Se dispone de un osciloscopio (CRT) usado como pantalla, un chasis de Interfase y otro de Control. En el de Interfase se ha colocado la tarjeta AB (véase TABLA I, Pág. 29), mientras que en el chasis de control van el resto de tarjetas (M, C, W, Z, D).

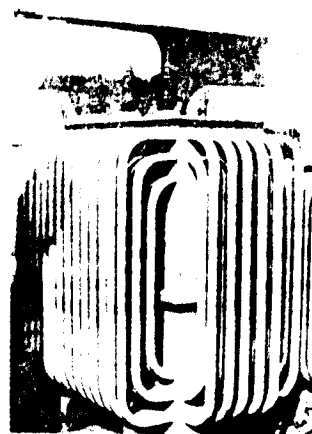
Un diagrama de interconexiones bastante explicativo de por sí es el de la Fig. 9.

El diagrama de cableado está en la Fig. 26, ahí se indican los tipos de cable usados, conectores o sockets.

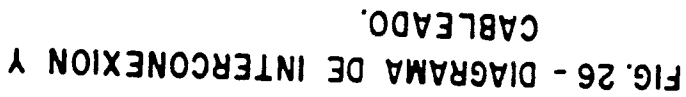
FABEM

MATERIALES ELECTRICOS Y MECANICOS S.A.

- TRANSFORMADORES DE POTENCIA
- TRANSFORMADORES DE MEDIDA
- CELDAS DE ALTA TENSION
- TABLEROS DE MANDO
- MAQUINAS DE SOLDAR
- RECTIFICADORES PARA GALVANOPLASTIA Y TRACCION



OMICRON 555
PARQUE INTERNACIONAL DE INDUSTRIA Y COMERCIO CALLAO
TELEFONO 51 5766 APARTADO 2891 - LIMA 1



1 -	CONNECTOR	BURNDY	MS 75RM -58
2 -	"	"	MS 75PM -58
3 -	"	"	MS 75PM -824
4 -	"	"	MS 75RM -824
5 -	"	"	MS 75RM -824
6 -	"	"	PC4D02D43-1-
7 -	"	VECTOR	PC4D02D22-4
			R644 - 1

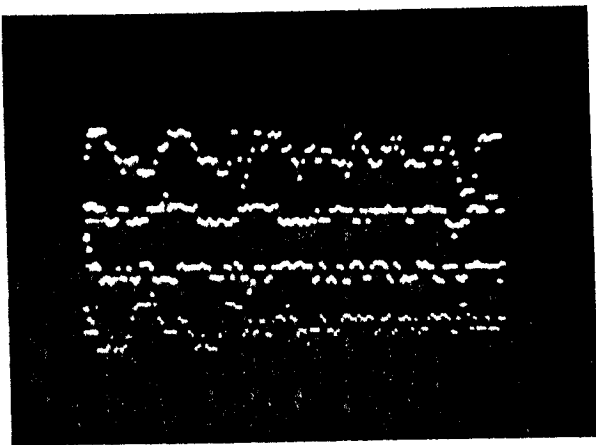
4 - CASOS PRACTICOS DE APLICACION

Los usos de este periférico son muy variados como es fácil suponer. Se le utiliza en el monitoreo de señales generadas en la computadora o que estaban grabadas digitalmente, para observar correlaciones, espectros de potencia, gráficos variables en el tiempo, etc. Como ejemplo véase la Fig. 29.

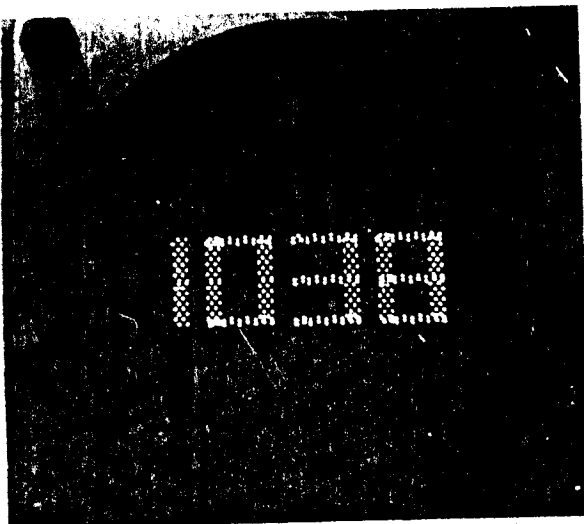
4.1 Simulación de Voz

En Jicamarca se dispone de un ADC, de modo que es fácil digitalizar voz, simular por ejemplo las distorsiones que sufriría esta al atravesar un supuesto medio de comunicaciones (caso de un sistema que usa el Electrochorro Ecuatorial), en fin incluir efectos de dispersión atmosférica, distorsión de equipo y otros, para finalmente la voz digitalizada pasarla por el DAC diseñado, amplificarla, filtrarla y escuchar el resultado final para su estudio.

Este es un caso típico donde interviendría el tema de éste trabajo.



a) 4 canales de Infrasonido



b) Generación de números

FIG. 29. APLICACIONES

Conclusiones

El Sistema Digital diseñado permite disponer de un Conversor Digital-Análogo para uso con la Computadora DC6024/3. La circu-

tería integrada que se ha empleado, brinda además un costo y alta confiabilidad.

El fin inmediato que se persigue es el de visualización de los almacenados digitalmente en la Computadora, aunque esto no resta los múltiples usos propios de un DAC genérico.

Los campos de aplicaciones son numerosos y variados y algunos ya se mencionaron, en fin se dispone ahora de una herramienta útil y que puede ser aprovechada en diversidad de formas.

Agradecimiento

En las etapas de diseño y prueba participaron reconocidamente el Ing. Carlos Urquiza, Srta. Carmen Clavo y Sr. Juan Nizama.

Se agradece también a los Ings. Manuel Chavez y César La Hoz por sus sugerencias, el Ing. Cesar Valladares quien proporcionó datos para el Capítulo 4 es igualmente reconocido.

Los dibujos y esquemas son del Sr. Armin Hoempler, las fotos del Sr. Jaime García y el mecanografiado de la Srta. Gladys Pardo F., a todos ellos expreso mi agradecimiento.

Finalmente, es justo reconocer la colaboración de todo el personal del ROJ, su participación y ayuda posibilitó la conclusión del Proyecto.

BIBLIOGRAFIA

1. Datacraft Corporation, Fort Lauderdale, Florida. "Reference Manual DC6024/1 and DC6024/3 Computer Systems". 1972
2. ——— "Input-Output Interface Reference Manual". 1970
3. ——— "Technical Write-up Interfacing to Datacraft Series 6024 Computers". 1970
4. IEEE Spectrum. "Computer Report VI. Minicomputer Interfaces: Know More, Save More". IEEE Spectrum, 11, 65-68, Febrero 1974.
5. Intel Corporation, Mountain View, California. "Catalogue" 1970/.
6. Signetics Corporation, Sunnyvale, California. "Signetics Digital 54/7400 Data Book". /1972/.
7. Peatman, J.B. "The Design of Digital Systems". New York, McGraw-Hill Book Co. 1972.
8. Texas Instruments Incorporated. "Designing with TTL Integrated Circuits", New York, McGraw-Hill Book Co. /1970/

CE-YE-SA

INGENIERIA ELECTRICA

- * FABRICACION DE TABLEROS ELECTRICOS.
- * FABRICACION DE SUB-ESTACIONES DE TRANSFORMACION.
- * PROYECTOS E INSTALACIONES ELECTRICAS INDUSTRIALES.
- * EQUIPOS ELECTRICOS DE CONTROL.

Parque Internacional de Industria y Comercio
Lima - Callao

OMEGA N°. 225 — AVENIDA COLONIAL
CUADRA 57 — TELFS.: 51-0617 — 51-5345

APENDICE A

NOMENCLATURA EN DIAGRAMAS

Tarjeta AB ó de Interfase.— Referirse a la página 15 para una explicación detallada.

Resto de tarjetas o Diagramas.— A cada tarjeta construida se le ha asignado un código identificador (Tabla I, página 15).

Si la señal es una entrada, en el diagrama se le reconoce por la letra "I" inicial. Ejemplo en el diagrama de la MDR (tarjeta "W" y Fig. 14 se encuentra:

IZ 13

Esto significa entrada proveniente de la tarjeta "Z" y que puede localizarse en el correspondiente diagrama (Fig. 19) como OZ 13. Si la señal es de salida su código empieza con una "O", así:

OWφ

significa salida de la tarjeta "W" número φ

Las señales sean de entrada o salida se distribuyen en los contactos de las tarjetas implementadas de acuerdo a las Tablas III a, b, c, d, e

Véase la página 15 para otros detalles.

APENDICE B

ABREVIATURAS MNEMONICAS

ABC	Automatic Block Controller
ADC	Analog to Digital Converter
CDH	Command Data Here
CLS	Clocks (Relojes)
CLK	Clock (Reloj)
CNCT	Connected
CPU	Central Processing Unit
CRT	Cathode Ray Tube
DAC	Digital to Analog Converter
DATU	Data Accepted to Unit
DAVFU	Data Available from Unit
DC6024/3	Datacraft Computer modelo 6024/3
DFU	Data from Unit
DISC	Disconnect
DPY	Display
DXY	Display modo XY
DTU	Data to Unit
ECBI	Enable Channel Buffer Empty Interrupt
IC	Integrated Circuit
IIFU	Input Interrupt from Unit
IDW	Input Data Word
ISW	Input Status Word
I/O	Input/Output
LRC	Load - Recirculate
MCL	Master Clear
MDR	Memoria Dinámica Recirculante
OCW	Output Command Word
ODACP	Output Data Accepted
ODH	Output Data Here
ODR	Output Data Received
ODW	Output Data Word
PER	Parity Error
ROJ	Radio Observatorio de Jicamarca
SIGN	Sign Command
SFU	Status from Unit
SR	Shift Registers
TOS	Tape Operating System
TTL	Transistor Transistor Logic
TUIS	This Unit is Selected
UR	Unit Register
UOIE	Unit Output Interrupt Enable
WIRE WRAP.	Técnica de Interconexión de elementos por medio de alambrado sobre sockets especiales.
1024/NO	Load 1024 Data Words Command

APENDICE C

CARACTERISTICAS DE LA DC6024/3

Capacidad de Memoria	16,384 palabras.
Capacidad de Expansión	hasta 65,536 palabras en bloques de 8,192.

Tamaño de palabra
Registros

24 bits más 1 de paridad
5 generales de 24 bits, 3 de los cuales puede servir para indexado.

Modos de Direccionamiento:

Directo
Indirecto Multinivel
Indexado
1 μ seg.

Tiempo de Ciclo

Tiempo de Ejecución:

Manipulación de registro a registro	1 μ seg.
Palabra única en I/O	1 μ seg.
Carga y almacenamiento de 1 palabra	2 μ seg.
Suma, Resta	2 μ seg.
Comparar	2 μ seg.
Multiplicar	8 μ seg.
Dividir	15 μ seg.
Raíz Cuadrada	14 μ seg.
Número de canales de los cuales son ABCs	3
Máxima velocidad de transferencia	2
Switches de Sensado	500,000 palabras/seg.
Switches de Control	4
	24

Sistema de Prioridades de Interrupción:

Trampas Ejecutivas	8
Niveles Externos (Programables)	8
Protección para fallas de potencia	
Requerimiento de Potencia	117 VAC +10%, 60 Hz

Ambiente Operativo:

Temperatura	150 a 450C (590 a 1130F)
Humedad Relativa	10% a 90%

Software:

Véase Pag. 7

NOTA:

Las características señaladas en este apéndice corresponden al Sistema instalado en el ROJ.

P Y V INGENIEROS S.A.
CONSULTORES - PROYECTISTAS - SUPERVISORES



AL SERVICIO DEL DESARROLLO NACIONAL
MEDIANTE LA PRESTACION DE SERVICIOS
PROFESIONALES DE INGENIERIA

OFICINAS: Las Acacias 393-Miraflores Teléfono: 4 610 35